

DIALOG(R)File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

015454720 **Image available**

WPI Acc No: 2003-516862/ 200349

XRPX Acc No: N03-409815

Array substrate for electroluminescent display panel, has connector which electrically connects short circuit path between source and gate signal lines of pixels

Patent Assignee: MATSUSHITA DENKI SANGYO KK (MATU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2003066865	A	20030305	JP 2001254301	A	20010824	200349 B

Priority Applications (No Type Date): JP 2001254301 A 20010824

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2003066865	A	42	G09F-009/30	

Abstract (Basic): JP 2003066865 A

NOVELTY - The array substrate has gate signal lines (17a,17b) and a source signal line (18) of pixels (16). A connector electrically connects the short circuit path between the source signal line and the gate signal lines. When ON state voltage is applied to the gate signal lines, thin-film transistors (TFTs) (11a-11d) and the electroluminescent (EL) device (15) in the array substrate, are made into open-state.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for the following:

- (1) array substrate inspection apparatus;
- (2) array substrate inspection method;
- (3) electroluminescent display panel; and
- (4) information display.

USE - Array substrate for electroluminescent (EL) display panel (claimed) for use in view-finder of video camera, electronic still camera, LCD projector, three-dimensional television (TV), projection TV, personal digital assistant (PDA), personal handyphone system (PHS), head-mount display, notebook-type personal computer, direct-view monitor display, automatic cash withdrawal apparatus, telephone such as mobile telephone, video telephone, liquid crystal wristwatch, pocket game device.

ADVANTAGE - Provides display panel having high resolution, low power consumption and high intensity. The cost of the structure is reduced.

DESCRIPTION OF DRAWING(S) - The figure shows a circuit diagram of the display panel.

TFTs (11a-11d)

Electroluminescent device (15)

Pixels (16)

Gate signal lines (17a,17b)

Source signal line (18)

pp; 42 DwgNo 1/39

Title Terms: ARRAY; SUBSTRATE; ELECTROLUMINESCENT; DISPLAY; PANEL; CONNECT; ELECTRIC; CONNECT; SHORT; CIRCUIT; PATH; SOURCE; GATE; SIGNAL; LINE; PIXEL

Derwent Class: P85; S01; T04; U14; W03; X26

International Patent Class (Main): G09F-009/30

International Patent Class (Additional): G01R-031/00; G09F-009/00;

G09G-003/20; G09G-003/30; H05B-033/14
File Segment: EPI; EngPI
Manual Codes (EPI/S-X): S01-G02B; T04-H03B; T04-H03C3; U14-J02; W03-A08J;
X26-J

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-66865

(P2003-66865A)

(43)公開日 平成15年3月5日(2003.3.5)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 9 F 9/30	3 3 0	G 0 9 F 9/30	3 3 0 Z 2 G 0 3 6
	3 3 8		3 3 8 3 K 0 0 7
	3 6 5		3 6 5 Z 5 C 0 8 0
G 0 1 R 31/00		G 0 1 R 31/00	5 C 0 9 4
G 0 9 F 9/00	3 5 2	G 0 9 F 9/00	3 5 2 5 G 4 3 5
審査請求 未請求 請求項の数14 O L (全 42 頁) 最終頁に続く			

(21)出願番号 特願2001-254301(P2001-254301)

(22)出願日 平成13年8月24日(2001.8.24)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 高原 博司

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72)発明者 足達 克己

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

最終頁に続く

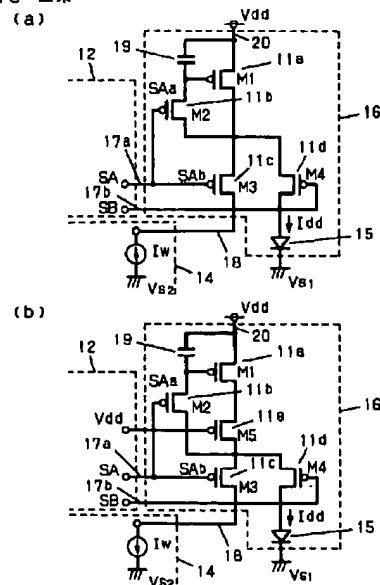
(54)【発明の名称】 表示基板およびその検査方法と検査装置

(57)【要約】

【課題】 ELなどの表示パネルの検査方法および検査装置を提供。

【解決手段】 駆動用のTFT11aのソース端子に、Vdd電圧を印加し、EL素子15のカソード端子にVs1電圧を印加する。ゲート信号線17a、17bにオン電圧を印加すると、TFT11b、11c、11dがオン状態になる。ソース信号線18はオープン状態にする。電流Iwは流れず、駆動TFT11aを流れる電流はすべてEL素子15に流れる電流Iddとなる。したがって、表示パネルに表示されている画素はすべて点灯状態となる。もし、非点灯状態の画素があればTFTが壊れているか、能力が低いことを検出することができる。

11 TFT 17 ゲート信号線
12 ゲートドライバ 18 ソース信号線
14 ソースドライバ 19 キャパシタ (コンデンサ)
15 EL素子 20 電流供給部
16 画素



【特許請求の範囲】

【請求項1】 1画素あたり複数本のゲート信号線と少なくとも1本のソース信号線を有し、かつ前記信号線を制御することにより光変調を行うEL表示装置に用いるアレイ基板にあって、
前記複数の画素のソース信号線を電氣的に短絡する第1の短絡部と、
前記複数の画素のゲート信号線を電氣的に短絡する第2の短絡部と、
前記第1の短絡部と第2の短絡部を電氣的に接続する接続部を有することを特徴とするアレイ基板。

【請求項2】 1画素あたり第1のゲート信号線と第2のゲート信号線と少なくとも1本のソース信号線を有し、かつ前記信号線を制御することにより光変調を行うEL表示装置にあって、
前記複数の画素のソース信号線を電氣的に短絡する第1の短絡部と、
前記複数の画素の第1のゲート信号線を電氣的に短絡する第2の短絡部と、
前記複数の画素の第2のゲート信号線を電氣的に短絡する第3の短絡部と、
前記第1の短絡部と第2の短絡部を電氣的に接続する第1の接続部と、
前記第2の短絡部と第3の短絡部を電氣的に接続する第2の接続部とを有することを特徴とするアレイ基板。

【請求項3】 各画素にスイッチング素子が配置され、かつ画素がマトリックス状に配置され、1画素あたり複数本のゲート信号線と少なくとも1本のソース信号線を有し、かつ前記信号線を制御することにより光変調を行うEL表示装置に用いる検査装置にあって、
前記複数のゲート信号線に前記スイッチング素子を動作状態にする電圧を印加するゲート電圧印加手段と、
前記EL表示装置のカソードに第1の電圧を印加するカソード電圧印加手段と、
前記EL表示装置のアノードに第2の電圧を印加するアノード電圧印加手段と、
前記EL表示装置の点灯状態を光学的に検出または測定する光学的測定手段とを具備することを特徴とする検査装置。

【請求項4】 各画素にスイッチング素子が配置され、かつ画素がマトリックス状に配置され、1画素あたり複数本のゲート信号線と少なくとも1本のソース信号線を有し、かつ前記信号線を制御することにより光変調を行うEL表示装置を構成するアレイに用いる検査装置にあって、
前記複数のゲート信号線に前記スイッチング素子を動作状態にする電圧を印加するゲート電圧印加手段と、
前記アレイのカソードに第1の電圧を印加するカソード電圧印加手段と、
前記アレイのアノードに第2の電圧を印加するアノード

電圧印加手段と、

前記アレイのソース信号線から出力される電流を検出または測定する検査手段とを具備することを特徴とする検査装置。

【請求項5】 各画素にスイッチング素子が配置され、かつ画素がマトリックス状に配置され、1画素あたり複数本のゲート信号線と少なくとも1本のソース信号線を有し、かつ前記信号線を制御することにより光変調を行うEL表示装置に用いる検査方法であって、
前記複数のゲート信号線に前記スイッチング素子を動作状態にする電圧を印加するゲート電圧印加手段と、
前記EL表示装置の各画素の複数のゲート信号線に、前記スイッチング素子を動作状態にする電圧を印加し、
前記各画素のソース信号線をオープン状態にし、
前記EL表示装置のアノードに第1の電圧を印加し、
前記EL表示装置のカソードに前記第1の電圧よりも低い第2の電圧を印加することを特徴とするEL表示装置の検査方法。

【請求項6】 1つの画素は、少なくとも、EL膜に流す電流を制御する駆動トランジスタと、前記駆動トランジスタのゲート電位を保持するコンデンサと、ドライバから出力した電流を前記駆動トランジスタに流す経路を構成する第1のスイッチングトランジスタと、前記駆動トランジスタからの電流を前記EL膜に流す経路を構成する第2のスイッチングトランジスタから構成されているEL表示パネルであって、
前記第1のスイッチングトランジスタを動作状態にし、かつ前記第2のスイッチングトランジスタを非動作状態にして、前記コンデンサを所定電圧に充電する第1の動作と、
前記第2のスイッチングトランジスタを動作状態にし、かつ前記第2のスイッチングトランジスタを非動作状態にして、前記EL素子に電流を流す第2の動作とを実施することを特徴とするEL表示パネルの検査方法。

【請求項7】 1つの画素は、少なくとも、EL膜に流す電流を制御する駆動トランジスタと、前記駆動トランジスタのゲート電位を保持するコンデンサと、ドライバから出力した電流を前記駆動トランジスタに流す経路を構成する第1のスイッチングトランジスタと、前記駆動トランジスタからの電流を前記EL膜に流す経路を構成する第2のスイッチングトランジスタから構成されているEL表示パネルであって、
前記第1のスイッチングトランジスタを動作状態にし、かつ前記第2のスイッチングトランジスタを非動作状態にして、前記コンデンサを所定電圧に充電する第1の動作と、
前記第2のスイッチングトランジスタを動作状態にし、かつ前記第2のスイッチングトランジスタを非動作状態にして、前記EL素子に電流を流す第2の動作とを実施し、

前記第1の動作と前記第2の動作とを切り替える周期を可変することを特徴とするEL表示パネルの検査方法。

【請求項8】 1つの画素は、少なくとも、EL膜に流す電流を制御する駆動トランジスタと、前記駆動トランジスタのゲート電位を保持するコンデンサと、前記コンデンサに充電するスイッチングトランジスタから構成され、かつ前記スイッチングトランジスタを選択するゲートドライバ回路を有するEL表示パネルであって、複数の画素に接続されたソース信号線端を電氣的オープン状態にし、

前記ゲートドライバ回路を動作させ、前記スイッチングトランジスタを動作状態にし、かつ前記EL表示パネルのアノードに第1の電圧を印加するとともに、前記EL表示パネルのカソードに前記第1の電圧よりも低い第2の電圧を印加することを特徴とするEL表示パネルの検査方法。

【請求項9】 各画素にスイッチング素子が配置され、かつ画素がマトリックス状に配置され、少なくとも1画素あたり第1および第2のゲート信号線とソース信号線を有し、かつ前記信号線を制御することにより光変調を行うEL表示パネルであって、

前記複数の第1のゲート信号線にスイッチング素子を動作状態にする電圧を印加する第1のゲート電圧印加手段と、

前記複数の第2のゲート信号線にスイッチング素子を動作状態にする電圧を印加する第2のゲート電圧印加手段と、

前記EL表示パネルのアノードに電圧を印加するアノード電圧印加手段と、

前記EL表示装置のカソードに電圧を印加するカソード電圧印加手段とを具備することを特徴とするEL表示パネルの検査装置。

【請求項10】 各画素にスイッチング素子が配置され、かつ画素がマトリックス状に配置され、少なくとも1画素あたり第1のゲート信号線と第2のゲート信号線と第3のゲート信号線とソース信号線を有し、かつ前記信号線を制御することにより光変調を行うEL表示パネルであって、

前記第1のゲート信号線にスイッチング素子を動作状態にする電圧を印加する第1のゲート電圧印加手段と、

前記複数の第2のゲート信号線にスイッチング素子を動作状態にする電圧を印加する第2のゲート電圧印加手段と、

前記複数の第3のゲート信号線にスイッチング素子を動作状態にする電圧を印加する第3のゲート電圧印加手段と、

前記EL表示パネルのアノードに電圧を印加するアノード電圧印加手段と、

前記EL表示装置のカソードに電圧を印加するカソード電圧印加手段とを具備することを特徴とするEL表示パ

ネルの検査装置。

【請求項11】 1つの画素は、少なくとも、EL膜に流す電流を制御する駆動トランジスタと、前記駆動トランジスタのゲート電位を保持するコンデンサと、前記コンデンサに充電するスイッチングトランジスタから構成され、かつ前記スイッチングトランジスタを選択するゲートドライバ回路と、映像信号を出力するソースドライバ回路とを有するEL表示パネルであって、

前記ゲートドライバ回路を動作させ、前記スイッチングトランジスタを動作状態にし、かつ前記EL表示パネルのアノードに第1の電圧を印加するとともに、前記EL表示パネルのカソードに前記第1の電圧よりも低い第2の電圧を印加し、

前記ソースドライバ回路の出力をオープン状態にすることを特徴とするEL表示パネルの検査方法。

【請求項12】 1つの画素は、少なくとも、EL膜に流す電流を制御する駆動トランジスタと、前記駆動トランジスタのゲート電位を保持するコンデンサと、前記コンデンサに充電するスイッチングトランジスタから構成され、

前記スイッチングトランジスタを選択する信号を伝達するゲート信号線と、

前記画素に印加する映像信号を伝達するソース信号線と、

前記コンデンサの一端の電位を設定する電圧を伝達するコンデンサ信号線とを具備することを特徴とするEL表示パネル。

【請求項13】 請求項12記載のEL表示パネルと、ダウンコンバータと、アップコンバータと、

受話器と、

スピーカとを具備することを特徴とする情報表示装置。

【請求項14】 表示領域にタッチパネルを具備することを特徴とする請求項13記載の情報表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明の主として自発光で画像を表示するEL表示パネルとこれに用いるアレイ基板およびこれらの検査装置と検査方法などに関するものである。

【0002】

【従来の技術】 液晶表示パネルは、薄型で低消費電力という利点から、携帯用機器等に多く採用されているため、ワードプロセッサやパーソナルコンピュータ、テレビ(TV)などの機器や、ビデオカメラのビューファインダ、モニターなどにも用いられている。

【0003】

【発明が解決しようとする課題】 しかし、液晶表示パネルは、自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バッ

クライトを構成するためには所定の厚みが必要であるため、表示モジュールの厚みが厚くなるという問題があった。

【0004】また、液晶表示パネルでカラー表示を行うためには、カラーフィルタを使用する必要がある。そのため、光利用効率が低いという問題点があった。

【0005】

【課題を解決するための手段】本発明は上記問題点を解決するために、1画素あたり複数本のゲート信号線と少なくとも1本のソース信号線を有し、かつ前記信号線を制御することにより光変調を行うEL表示装置に用いるアレイ基板にあって、前記複数の画素のソース信号線を電気的に短絡する第1の短絡部と、前記複数の画素のゲート信号線を電気的に短絡する第2の短絡部と、前記第1の短絡部と第2の短絡部を電気的に接続する接続部を有することを特徴とするアレイ基板を提供するものである。

【0006】また、1画素あたり第1のゲート信号線と第2のゲート信号線と少なくとも1本のソース信号線を有し、かつ前記信号線を制御することにより光変調を行うEL表示装置にあって、前記複数の画素のソース信号線を電気的に短絡する第1の短絡部と、前記複数の画素の第1のゲート信号線を電気的に短絡する第2の短絡部と、前記複数の画素の第2のゲート信号線を電気的に短絡する第3の短絡部と、前記第1の短絡部と第2の短絡部を電気的に接続する第1の接続部と、前記第2の短絡部と第3の短絡部を電気的に接続する第2の接続部とを有することを特徴とするアレイ基板を提供するものである。

【0007】さらに、各画素にスイッチング素子が配置され、かつ画素がマトリクス状に配置され、1画素あたり複数本のゲート信号線と少なくとも1本のソース信号線を有し、かつ前記信号線を制御することにより光変調を行うEL表示装置に用いる検査装置にあって、前記複数のゲート信号線に前記スイッチング素子を動作状態にする電圧を印加するゲート電圧印加手段と、前記EL表示装置のカソードに第1の電圧を印加するカソード電圧印加手段と、前記EL表示装置のアノードに第2の電圧を印加するアノード電圧印加手段と、前記EL表示装置の点灯状態を光学的に検出または測定する光学的測定手段とを具備することを特徴とする検査装置を提供するものである。

【0008】

【発明の実施の形態】本明細書において各図面は理解を容易に、また作図を容易にするため、省略および拡大縮小した箇所がある。たとえば、図7の表示パネルの断面図では封止膜73などを十分厚く図示している。また、図1等では画素電極に信号を印加する薄膜トランジスタ(TFT)などは省略している。

【0009】また、本発明の表示パネルなどでは、位相

補償のためなどの位相フィルムなどを省略しているが、適時付加することが望ましい。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

【0010】なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図1あるいは図35、図39の表示パネルにタッチパネルなどを付加し、情報表示装置とすることができる。また、拡大レンズを取り付けビデオカメラなどのビューファインダを構成することもできる。

【0011】また、図25の検査装置は図24だけでなく図28、図29などにも適用できることは言うまでもない。また、図33で説明するソースドライバ14のアナログスイッチ334はソースドライバ内に形成せず、低温ポリシリコン技術などを用いてアレイ基板49のソース信号線18の一端に形成してもよいことは言うまでもない。

【0012】また、図33のソースドライバのインバータ23段数などに関する事項は図2で説明した事項を適用することができる。また、本発明は各画素にTFTが形成されたアクティブマトリクス型表示パネルを主に説明するがこれに限定するものではなく、単純マトリクス型にも適用することができることは言うまでもない。

【0013】このように特に明細書中に例示されていなくとも、明細書、図面中で記載あるいは説明した事項、内容、仕様は、互いに組み合わせて請求項に記載することができる。すべての組み合わせについて明細書などで記述することは不可能であるからである。

【0014】低消費電力でかつ高表示品質であり、更に薄型化が可能な表示パネルとして、有機エレクトロルミネッセンス(EL)素子の複数をマトリクス状に配列して構成される有機EL表示パネルが注目されている。なお、有機EL表示パネルあるいは有機EL素子はOLEDあるいはOLEDと呼ぶこともある。

【0015】有機EL表示パネルは、図4に示すように、画素電極としての透明電極48が形成されたガラス板49(アレイ基板)上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも1層の有機機能層(EL層)47、及び金属電極(反射膜)46が積層されたものである。

【0016】透明電極(画素電極)48の陽極(アノード)にプラス、金属電極(反射電極)46の陰極(カソード)にマイナスの電圧を加え、すなわち、透明電極48及び金属電極46間に直流を印加することにより、有機機能層(EL層)47が発光する。良好な発光特性を期待することのできる有機化合物を有機機能層に使用することによって、EL表示パネルが実用に耐えうるものになっている。

【0017】なお、カソード電極あるいは反射膜はITO電極に誘電体多層膜からなる光学的干渉膜を形成して構成してもよい。誘電体多層膜は低屈折率の誘電体膜と高屈折率の誘電体膜とを交互に多層に形成したものである。つまり、誘電体ミラーである。この誘電体多層膜は有機EL構造から放射される光の色調を良好なもの（フィルタ効果）にする機能を有する。

【0018】金属電極46には、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばAl-Li合金を用いることが好ましい。また、透明電極48には、ITO等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。

【0019】なお、画素電極46などに薄膜を蒸着する際は、アルゴン雰囲気中で有機EL膜を成膜するとよい。また、画素電極46としてのITO上にカーボンで2以上10nm以下を成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。

【0020】以下、本発明のEL表示パネル構造の理解を容易とするため、まず、本発明の有機EL表示パネルの製造方法について説明をする。

【0021】基板49の放熱性を良くするため、サファイアガラスで形成してもよい。また、熱伝導性のよい薄膜あるいは厚膜を形成したりしてもよい。たとえば、ダイヤモンド薄膜を形成した基板を使用することが例示される。もちろん、石英ガラス基板、ソーダガラス基板あるいは鉛ガラス基板を用いてもよい。

【0022】その他、アルミナなどのセラミック基板を使用したり、シリコンあるいは銅などからなる金属板を使用したり、絶縁膜に金属膜を蒸着あるいは塗布などのコーティングしたりしたものを用いてもよい。

【0023】画素電極を反射型とする場合は、基板材料としては基板の表面方向より光が出射されるから、ガラス、石英や樹脂等の透明ないし半透明材料に加えてステンレスなどの非透過材料を用いることもできる。この構成を図7に図示する。カソード電極をITOなどの透明電極72で形成している。

【0024】基板はプラスチック基板を用いてもよいことは言うまでもない。プラスチック基板はわれにくく、また、軽量のため携帯電話の表示パネル用基板として最適である。プラスチック基板は、芯材となるベース基板の一方の面に補助の基板を接着剤で貼り合わせて積層基板として用いることが好ましい。もちろん、これらの基板321等は板に限定するものではなく、厚さ0.3mm以下0.05mm以上のフィルムでもよい。

【0025】なお、有機ELは水分による劣化が早い。樹脂は浸透性がよいため、これを防止することを目的として、基板表面にDLC（ダイヤモンドライクカー

ボン）膜を形成することが好ましい。また、多数枚のフィルムまたは基板をはり合わせて構成する場合は、構成する多数枚のフィルムなどの1つ以上の表面にDLC膜を形成したものをを用いることが好ましい。また、1つ以上の基板に薄いガラス基板を用いたり、金属フィルムまたは板を構成する基板の中間層として採用してもよい。DLCの他、SiO₂、SiN_x、Al₂O₃などの無機物質を蒸着したものを用いてもよい。また、金属薄膜を無機薄膜を多層に蒸着あるいは塗布したものを中間層として用いたり、基板の表面に形成してもよい。

【0026】ベース基板の基板として、脂環式ポリオレフィン樹脂を用いることが好ましい。このような脂環式ポリオレフィン樹脂として日本合成ゴム社製ARTONの厚さ200μmの1枚板が例示される。ベース基板の一方の面に、耐熱性、耐溶剤性または耐湿性機能を持つハードコート層、および耐透気性機能を持つガスバリア層が形成されたポリエステル樹脂、ポリエチレン樹脂あるいはポリエーテルスルホン樹脂などからなる補助の基板（あるいはフィルムもしくは膜）を配置する。

【0027】1画素には複数のスイッチング素子あるいは電流制御素子としての薄膜トランジスタ（TFT）を形成する。形成するTFTは、同じ種類のTFTであってもよいし、Pチャンネル型とNチャンネル型のTFTというように、違う種類のTFTであってもよいが望ましくはスイッチングトランジスタ、駆動用トランジスタとも同極性のものが望ましい。またTFTの構造は、プレーナー型のTFTで限定されるものではなく、スタガー型でも、逆スタガー型でもよく、また、セルフアライン方式を用いて不純物領域（ソース、ドレイン）が形成されたものでも、非セルフアライン方式によるものでもよい。

【0028】本発明のEL表示素子は、基板上に、ホール注入電極（画素電極）となるITO、1種以上の有機層と、電子注入電極とが順次積層されたEL構造体を有する。前記基板にはTFTが設けられている。

【0029】本発明のEL表示素子を製造するには、まず、基板上にTFTのアレイを所望の形状に形成する。そして、平坦化膜上の画素電極として透明電極であるITOをスパッタ法で成膜、パターニングする。その後、有機EL層、電子注入電極等を積層する。

【0030】TFTとしては、通常多結晶シリコンTFTを用いればよい。TFTは、EL構造体の各画素の端部に設けられ、その大きさは10～30μm程度である。なお、画素の大きさは20μm×20μm～300μm×300μm程度である。

【0031】基板上には、TFTの配線電極が設けられる。配線電極は抵抗が低く、ホール注入電極を電氣的に接続して抵抗値を低く抑える機能があり、一般的にはその配線電極は、Al、Alおよび遷移金属（ただしTiを除く）、Tiまたは窒化チタン（TiN）のいずれか

1種または2種以上を含有するものが使われるが、本発明においてはこの材料に限られるものではない。EL構造体の下地となるホール注入電極とTF Tの配線電極とを併せた全体の厚さとしては、特に制限はないが、通常100~1000nm程度とすればよい。

【0032】TF Tの配線電極とEL構造体の有機層との間には絶縁層を設ける。絶縁層は、SiO₂等の酸化ケイ素、窒化ケイ素などの無機系材料をスパッタや真空蒸着で成膜したもの、SOG (スピン・オン・グラス) で形成した酸化ケイ素層、フォトレジスト、ポリイミド、アクリル樹脂などの樹脂系材料の塗膜など、絶縁性を有するものであればいずれであってもよいが、ポリイミドが好ましい。また、絶縁層は、配線電極を水分や腐食から守る耐食・耐水膜の役割も果たす。

【0033】EL構造体の発光ピークは2つ以上であってもかまわない。本発明のEL表示素子は、緑および青色発光部は、例えば、青緑色発光のEL構造体と、緑色透過層または青色透過層との組み合わせにより得られる。赤色発光部は、青緑色発光のEL構造体と、このEL構造体の青緑色発光を赤色に近い波長に変換する蛍光変換層により得ることができる。

【0034】次に、本発明のEL表示素子を構成するEL構造体について説明する。本発明のEL構造体は、透明電極である電子注入電極と、1種以上の有機層と、ホール注入電極とを有する。有機層は、それぞれ少なくとも1層のホール輸送層および発光層を有し、例えば、電子注入輸送層、発光層、正孔輸送層、正孔注入層を順次有する。なお、ホール輸送層はなくてもよい。

【0035】本発明のEL構造体の有機層は、種々の構成とすることができ、電子注入・輸送層を省略したり、あるいは発光層と一体としたり、正孔注入輸送層と発光層とを混合してもよい。電子注入電極は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属・化合物または合金で構成される。

【0036】ホール注入電極としては、ホール注入電極側から発光した光を取り出す構造であるため、例えば、ITO (錫ドーパ酸化インジウム)、IZO (亜鉛ドーパ酸化インジウム)、ZnO、SnO₂、In₂O₃等が挙げられるが、特にITO、IZOが好ましい。ホール注入電極の厚さは、ホール注入を十分行える一定以上の厚さを有すれば良く、通常、10~500nm程度とすることが好ましい。

【0037】素子の信頼性を向上させるために駆動電圧が低いことが必要であるが、好ましいものとして、10~30Ω/□ (膜厚50~300nm) のITOが挙げられる。実際に使用する場合には、ITO等のホール注入電極界面での反射による干渉効果が、光取り出し効率や色純度を十分に満足するように、電極の膜厚や光学定数を設定すればよい。

【0038】ホール注入電極は、蒸着法等によっても形

成できるが、スパッタ法により形成することが好ましい。スパッタガスとしては、特に制限するものではなく、Ar、He、Ne、Kr、Xe等の不活性ガス、あるいはこれらの混合ガスを用いればよい。

【0039】電子注入電極は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金で構成される。成膜される電子注入電極の構成材料としては例えば、K、Li、Na、Mg、La、Ce、Ca、Sr、Ba、Al、Ag、In、Sn、Zn、Zr等の金属元素単体、または安定性を向上させるためにそれらを含む2成分、3成分の合金系を用いることが好ましい。合金系としては、例えばAg・Mg (Ag: 1~20at%)、Al・Li (Li: 0.3~14at%)、In・Mg (Mg: 50~80at%)、Al・Ca (Ca: 5~20at%) 等が好ましい。

【0040】電子注入電極薄膜の厚さは、電子注入を十分行える一定以上の厚さとすれば良く、0.1nm以上、好ましくは1nm以上とすればよい。また、その上限値には特に制限はないが、通常、膜厚は100~500nm程度とすればよい。

【0041】正孔注入層は、ホール注入電極からの正孔の注入を容易にする機能を有し、正孔輸送層は、正孔を輸送する機能および電子を妨げる機能を有し、電荷注入層、電荷輸送層とも称される。

【0042】電子注入輸送層は、発光層に用いる化合物の電子注入輸送機能がさほど高くないときなどに設けられ、電子注入電極からの電子の注入を容易にする機能、電子を輸送する機能および正孔を妨げる機能を有する。正孔注入層、正孔輸送層および電子注入輸送層は、発光層へ注入される正孔や電子を増大・閉じ込めさせ、再結合領域を最適化させ、発光効率を改善する。なお、電子注入輸送層は、注入機能を持つ層と輸送機能を持つ層とに別個に設けてもよい。

【0043】発光層の厚さ、正孔注入層と正孔輸送層とを併せた厚さおよび電子注入輸送層の厚さは特に限定されず、形成方法によっても異なるが、通常、5~100nm程度とすることが好ましい。

【0044】正孔注入層、正孔輸送層の厚さおよび電子注入輸送層の厚さは、再結合・発光領域の設計によるが、発光層の厚さと同程度もしくは1/10~10倍程度とすればよい。正孔注入層、正孔輸送層の厚さ、および、電子注入層と電子輸送層とを分ける場合のそれぞれの厚さは、注入層は1nm以上、輸送層は20nm以上とするのが好ましい。このときの注入層、輸送層の厚さの上限は、通常、注入層で100nm程度、輸送層で100nm程度である。このような膜厚については注入輸送層を2層設けるときの同じである。

【0045】また、組み合わせる発光層や電子注入輸送層や正孔注入輸送層のキャリア移動度やキャリア密度 (イオン化ポテンシャル・電子親和力により決まる) を

考慮しながら、膜厚をコントロールすることで、再結合領域・発光領域を自由に設計することが可能であり、発光色の設計や、両電極の干渉効果による発光輝度・発光スペクトルの制御や、発光の空間分布の制御を可能にできる。

【0046】本発明のEL素子の発光層には、発光機能を有する化合物である蛍光性物質を含有させる。この蛍光性物質としては、例えば、特開昭63-264692号公報等に開示されているようなトリス(8-キノリノラト)アルミニウム〔Alq3〕等の金属錯体色素、特開平6-110569号公報(フェニルアントラセン誘導体)、同6-114456号公報(テトラアリアルエテン誘導体)、特開平6-100857号公報、同特開平2-247278号公報等に開示されているような青緑色発光材料が挙げられる。

【0047】また、正孔注入層・正孔輸送層には、例えば、特開昭63-295695号公報、特開平2-191694号公報、特開平3-792号公報、特開平5-234681号公報、特開平5-239455号公報、特開平5-299174号公報、特開平7-126225号公報、特開平7-126226号公報、特開平8-100172号公報、EP0650955A1等に記載されている各種有機化合物を用いることができる。正孔注入輸送層、発光層および電子注入輸送層の形成には、均質な薄膜が形成できることから真空蒸着法を用いることが好ましい。以下、本発明のEL表示パネルの製造方法および構造についてさらに詳しく説明をする。以前に説明したように、まず、アレイ基板49に画素を駆動するTFT11を形成する。1つの画素は4個または5個のTFTで構成される。また、画素は電流プログラムされ、プログラムされた電流がEL素子に供給される。このTFT11の組み合わせなど画素構成については後に説明をする。次にTFT11に正孔注入電極としての画素電極を形成する。画素電極48はフォトリソグラフィによりパターン化する。

【0048】なお、1画素に複数の画素電極を形成し、これらを個別に制御することにより面積階調表示を実現してもよい。また、R、G、Bの各画素電極の大きさを変化させることにより、ホワイトバランスを良好なものにすることも有効である。

【0049】フォトリソ後の基板処理は市販のレジスト剥離液(ジメチルスルホキシドとnメチル2ピロリドンとの混合溶液)に浸漬して剥離を行った後、アセトンでリンスし、さらに発煙硝酸中に1分間浸漬して完全にレジストを除去する。画素電極48であるITO表面の洗浄は、基板の裏面表面の両面を十分に行い、テトラメチルアンモニウムハイドロキシドの0.238%水溶液を十分に供給しながら、ナイロンブラシによる機械的な擦り洗浄を行うとよい。その後、純水で十分にすすぎ、スピン乾燥を行う。

【0050】また、有機薄膜EL素子の蒸着前には、市販のプラズマリアクター(ヤマト科学株式会社製、PR41型)中で、酸素流量20sccm、圧力0.2Torr、高周波出力300Wの条件で1分間の酸素プラズマ処理を行ってから、EL蒸着槽内に配置するとよい。

【0051】しかし、洗浄時に酸素プラズマ、O₂アッシングを使用すると、画素電極48の周辺部の平坦化膜71も同時にアッシングされ、画素電極48の周辺部がえぐられてしまう。この課題を解決するために本発明では図8で示すように画素電極48周辺部をアクリル樹脂からなるエッジ保護膜81を形成している。エッジ保護膜81の構成材料としては、平坦化膜71を構成するアクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、SiO₂、SiNxなどの無機材料が例示される。その他、Al₂O₃などであってもよいことは言うまでもない。

【0052】エッジ保護膜81は画素電極48のパターニング48後、画素電極48間を埋めるように形成する。もちろん、このエッジ保護膜81を2以上4μm以下の高さに形成し、有機EL材料を塗り分ける際のメタルマスクの土手(メタルマスクが画素電極48と直接接しないようにするスペーサ)としてもよいことは言うまでもない。

【0053】当然のことながら、洗浄後、このエッジ保護膜81をエッチングなどにより除去してもよい。また、ドーパント材料を加熱により膨らませてエッジ保護膜81としてもよい。

【0054】真空蒸着装置は市販の高真空蒸着装置(日本真空技術株式会社製、EBV-6DA型)を改造した装置を用いる。主たる排気装置は排気速度1500リットル/minのターボ分子ポンプ(大阪真空株式会社製、TC1500)であり、到達真空度は約1×10⁻⁶Torr以下であり、全ての蒸着は2~3×10⁻⁶Torrの範囲で行う。また、全ての蒸着はタングステン製の抵抗加熱式蒸着ボートに直流電源(菊水電子株式会社製、PAK10-70A)を接続して行うとよい。

【0055】このようにして真空層中に配置したアレイ基板上に、カーボン膜を2以上10nm以下に成膜する。次に、正孔注入層として4-(N,N'-ビス(p-メチルフェニル)アミノ)-α-フェニルスチルベンを0.3nm/sの蒸着速度で膜厚約5nmに形成する。

【0056】正孔輸送層として、N,N'-ビス(4'-ジフェニルアミノ-4-ピフェニル)-N,N'-ジフェニルベンジジン(保土ヶ谷化学株式会社製)と、4-N,N'-ジフェニルアミノ-α-フェニルスチルベンを、それぞれ0.3nm/sおよび0.01nm/sの蒸着速度で共蒸着して膜厚約80nmに形成した。発光層(電子輸送層)としてトリス(8-キノリノラト)アルミニウム(同仁化学株式会社製)を0.3nm/sの蒸着速度で膜厚約40nmに形成する。

【0057】次に、電子注入電極として、AlLi合金（高純度化学株式会社製、Al/Li重量比99/1）から低温でLiのみを、約0.1nm/sの蒸着速度で膜厚約1nmに形成し、続いて、そのAlLi合金をさらに昇温し、Liが出尽くした状態から、Alのみを、約1.5nm/sの蒸着速度で膜厚約100nmに形成し、積層型の電子注入電極とした。

【0058】このようにして作成した有機薄膜EL素子は、蒸着槽内を乾燥窒素でリークした後、乾燥窒素雰囲気下で、コーニング7059ガラス製の封止フタ41をシール接着剤（シール剤）45（アネルバ株式会社製、商品名スーパーバックシール953-7000）で貼り付けて表示パネルとした。

【0059】なお、封止フタ41とアレイ基板49との空間には乾燥剤55を配置する。これは、有機EL膜は湿度に弱いためである。乾燥剤55によりシール剤45を浸透する水分を吸収し有機EL膜47の劣化を防止する。

【0060】ホストにゲストをドーピングした発光層において、ゲスト材料のナノスケール集合状態に着目し、ゲスト分子同士の分子間相互作用を抑制することで、輝度と色純度の向上を可能となる。

【0061】有機ELにおいて発光する役割を担うゲスト材料は、発光性能を決める上で最も重要な役割を果たす。赤色ゲスト材料の開発に際しては、溶液中では高い発光特性を示すものの、膜中において効率が低下するという問題がある。この問題を解決するために、まず発光層中に分散しているゲスト材料の集合状態に着目する。ナノスケールの集合状態を形成するゲスト分子同士の分子間相互作用が有機ELの発光特性に大きな影響を与えているからである。

【0062】ゲスト分子の構造と分子間相互作用の相関を調べ分子設計にフィードバックすることにより、分子間相互作用が抑制することができる。したがって、ゲスト材料が持つ溶液状態での高い発光特性を膜中においても得られるようになる。さらに、ホストとゲストの間のマッチングが最適になるよう、ゲストの発光波長にできるだけ近いホスト材料を使用するとよい。

【0063】シール剤45からの水分の浸透を抑制するためには外部からの経路（パス）を長くすることが良好な対策である。このため、本発明の表示パネルでは、表示領域の周辺部に微細な凹凸43、44を形成している。アレイ基板49の周辺部に形成した凸部44は少なくとも2重に形成する。凸と凸との間隔（形成ピッチ）は100μm以上500μm以下に形成することが好ましく、また、凸の高さは30μm以上300μm以下とすることが好ましい。この凸部はスタンプ技術で形成する。このスタンプ技術はオムロン社がマイクロレンズ形成の方法として採用している方式、松下電器がCDのピックアップレンズで微小レンズの形成方式として用いて

いる方式を応用する。

【0064】一方、封止フタ41にも凸部43を形成する。凸部43の形成ピッチは凸部44の形成ピッチと同一にする。このように凸部43と44との形成ピッチを同一にすることにより凸部43に凸部44がちょうどはまり込む。そのため、表示パネルの製造時に封止フタ41とアレイ基板49との位置ずれが発生しない。凸部43と44間にはシール剤45を配置する。シール剤45は封止フタ41とアレイ基板49とを接着するとともに、外部からの水分の浸入を防止する。

【0065】シール剤45としてはUV（紫外線）硬化型でアクリル系の樹脂からなるものを用いることが好ましい。また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。

【0066】接着剤あるいは粘着剤の屈折率は1.47以上1.54以下のものを用いることが好ましい。特にシール接着剤は酸化チタンの微粉末、酸化シリコンなどの微粉末を重量比で65%以上95%以下の割合で添加することが好ましい。また、この微粉末の粒子径は平均直径は20μm以上100μm以下をすることが好ましい。微粉末の重量比が多くなるほど外部からの湿度の進入を抑制する効果が高くなる。しかし、あまりに多いと気泡などが入りやすく、かえって空間が大きくなりシール効果が低下してしまう。

【0067】乾燥剤の重量はシールの長さ10mmあたり0.04g以上0.2g以下をすることが好ましい。特にシールの長さ10mmあたり0.06g以上0.15g以下をすることが望ましい。乾燥剤の量が少なくなると水分防止効果が少なくすぐに有機EL層が劣化する。多すぎると乾燥剤がシールをする際に障害となり、良好なシールを行うことができない。

【0068】図4ではガラスのフタ41を用いて封止する構成であるが、図7のようにフィルムを用いた封止であつてもよい。たとえば、封止フィルムとしては電解コンデンサのフィルムにDLC（ダイヤモンドライクカーボン）を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿）。このフィルムを封止膜74として用いる。また、DLC膜を電極72の表面に直接蒸着する構成ものよいことは言うまでもない。

【0069】有機EL層47から発生した光の半分は、反射膜46で反射され、アレイ基板49と透過して出射される。しかし、反射膜46は外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板49に入/4板50および偏光板54を配置している。なお、画素が反射電極の場合はEL層47から発生した光は上方向に出射される。したがって、位相板50および偏光板54は光出射側に配置することはいうまでもない。

【0070】なお、反射型画素は、画素電極48を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極48の表面に、凸部（もしくは凹凸部）を設けることで有機EL層との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。

【0071】基板49と偏光板（偏光フィルム）54間には1枚あるいは複数の位相フィルム（位相板、位相回転手段、位相差板、位相差フィルム）が配置される。位相フィルムとしてはポリカーボネートを使用することが好ましい。位相フィルムは入射光を出射光に位相差を発生させ、効率よく光変調を行うのに寄与する。

【0072】その他、位相フィルムとして、ポリエステル樹脂、PVA樹脂、ポリサルホン樹脂、塩化ビニール樹脂、ゼオネックス樹脂、アクリル樹脂、ポリスチレン樹脂等の有機樹脂板あるいは有機樹脂フィルムなどを用いてもよい。その他、水晶などの結晶を用いてもよい。1つの位相板の位相差は一軸方向に50nm以上350nm以下とすることが好ましく、さらには80nm以上220nm以下とすることが好ましい。

【0073】なお、図7に図示するように位相フィルムと偏光板とを一体化した円偏光板74（円偏光フィルム）を用いてもよいことはいうまでもない。

【0074】位相フィルム50は染料あるいは顔料で着色しフィルタとしての機能をもたせることが好ましい。特に有機ELは赤（R）の純度が悪い。そのため、着色した位相フィルム50で一定の波長範囲をカットして色温度を調整する。カラーフィルタは、染色フィルタとして顔料分散タイプの樹脂で設けられるのが一般的である。顔料が特定の波長帯域の光を吸収して、吸収されなかった波長帯域の光を透過する。なお、モザイク状のカラーフィルタ自身を位相フィルムとしてもちいてもよい。この場合は、EL素子15は白色発光のものを用いる。

【0075】以上のように位相フィルムの一部もしくは全体を着色したり、一部もしくは全体に拡散機能をもたせたりしてもよい。また、表面をエンボス加工したり、反射防止のために反射防止膜を形成したりしてもよい。また、画像表示に有効でない箇所もしくは支障のない箇所に、遮光膜もしくは光吸収膜を形成し、表示画像の黒レベルをひきしめたり、ハレーション防止によるコントラスト向上効果を発揮させたりすることが好ましい。

【0076】また、位相フィルムの表面に凹凸を形成することによりかまぼこ状あるいはマトリックス状にマイクロレンズを形成してもよい。マイクロレンズは1つの画素電極あるいは3原色の画素にそれぞれ対応するように配置する。

【0077】なお、マイクロレンズの定義には、集光性のあるレンズの他に、微細はプリズムなども含まれる。その他、形状が針状のものも含まれる。つまり、マイクロレンズとは、1つの形状が画素サイズと略一致する

か、もしくは対応するか、あるいは画素サイズ以下のものであり、光を屈曲させるものはすべて含まれる。

【0078】先にも記述したが、位相フィルムの機能はカラーフィルタに持たせてもよい。たとえば、カラーフィルタの形成時に圧延し、もしくは光重合により一定の方向に位相差が生じるようにすることにより位相差を発生させることができる。その他、図7の平滑化膜71を光重合させることにより位相差を持たせてもよい。このように構成すれば位相フィルムを基板外に構成あるいは配置する必要がなくなり表示パネルの構成が簡易になり、低コスト化が望める。なお、以上の事項は偏光板に適用してもよいことはいうまでもない。

【0079】偏光板（偏光フィルム）54を構成する主たる材料としてはTACフィルム（トリアセチルセルロースフィルム）が最適である。TACフィルムは、優れた光学特性、表面平滑性および加工適性を有するからである。TACフィルムの製造については、溶液流延製膜技術で作製することが最適である。

【0080】偏光板はヨウ素などをポリビニールアルコール（PVA）樹脂に添加した樹脂フィルムのもので例示される。一対の偏光分離手段の偏光板は入射光のうち特定の偏光軸方向と異なる方向の偏光成分を吸収することにより偏光分離を行うので、光の利用効率が比較的に悪い。そこで、入射光のうち特定の偏光軸方向と異なる方向の偏光成分（reflective polarizer：リフレクティブ・ポラライザー）を反射することにより偏光分離を行う反射偏光子を用いてもよい。このように構成すれば、反射偏光子により光の利用効率が高まって、偏光板を用いた上述の例よりもより明るい表示が可能となる。

【0081】また、このような偏光板や反射偏光子以外にも、本発明の偏光分離手段としては、例えばコレステリック液晶層と（1/4）λ板を組み合わせたもの、ブリュースターの角度を利用して反射偏光と透過偏光とに分離するもの、ホログラムを利用するもの、偏光ビームスプリッタ（PBS）等を用いることも可能である。

【0082】図4では図示していないが、偏光板54の表面にはAIRコートを実施している。AIRコートは誘電体単層膜もしくは多層膜で形成する構成が例示される。その他、1.35～1.45の低屈折率の樹脂を塗布してもよい。たとえば、フッ素系のアクリル樹脂などが例示される。特に屈折率が1.37以上1.42以下のものが特性は良好である。

【0083】また、AIRコートは3層の構成あるいは2層構成がある。なお、3層の場合は広い可視光の波長帯域での反射を防止するために用いられ、これをマルチコートと呼ぶ。2層の場合は特定の可視光の波長帯域での反射を防止するために用いられ、これをVコートと呼ぶ。マルチコートとVコートは表示パネルの用途に応じて使い分ける。なお、2層以上の限定するものではない。

く、1層でもよい。

【0084】マルチコートの場合は酸化アルミニウム (Al_2O_3) を光学的膜厚が $nd = \lambda/4$ 、ジルコニウム (ZrO_2) を $nd = \lambda/2$ 、フッ化マグネシウム (MgF_2) を $nd = \lambda/4$ 積層して形成する。通常、 λ として 520nm もしくはその近傍の値として薄膜は形成される。Vコートの場合は一酸化シリコン (SiO) を光学的膜厚 $nd = \lambda/4$ とフッ化マグネシウム (MgF_2) を $nd = \lambda/4$ 、もしくは酸化イットリウム (Y_2O_3) とフッ化マグネシウム (MgF_2) を $nd = \lambda/4$ 積層して形成する。 SiO は青色側に吸収帯域があるため青色光を変調する場合は Y_2O_3 を用いた方がよい。また、物質の安定性からも Y_2O_3 の方が安定しているため好ましい。また、 SiO_2 薄膜を使用してもよい。もちろん、低屈折率の樹脂等を用いて AIR コートとしてもよい。たとえばフッ素等のアクリル樹脂が例示される。これらは紫外線硬化タイプを用いることが好ましい。

【0085】なお、表示パネルに静電気がチャージされることを防止するため、表示パネルなどの表面に親水性の樹脂を塗布しておくことが好ましい。その他、表面反射を防止するため、偏光板 54 の表面などにエンボス加工を行ってもよい。また、表面を ITO などの透明導電物を形成しておくことも有効である。

【0086】画素電極 48 には TFT が接続されるとしたがこれに限定されるものではない。アクティブマトリックスとは、スイッチング素子として薄膜トランジスタ (TFT) の他、ダイオード方式 (TFD)、バリスタ、サイリスタ、リングダイオード、PLZT 素子などでもよいことは言うまでもない。その他、プラズマドレッシング技術を用いてもよい。また、TFT は LDD (ロー ドーピング ドレイン) 構造を採用することが好ましい。

【0087】なお、TFT とは、FET などスイッチングなどのトランジスタ動作をするすべての素子一般を意味する。また、EL 膜の構成、パネル構造などは単純マトリックス型表示パネルにも適用できることは言うまでもない。また、本明細書では EL 素子として有機 EL 素子を例のあげて説明するがこれに限定するものではなく、無機 EL 素子にも適用されることは言うまでもない。

【0088】有機 EL パネルに用いられるアクティブマトリックス方式は、1. 特定の画素を選択し、必要な表示情報を与えられること。2. 1 フレーム期間を通じて EL 素子に電流を流すことができることという 2 つの条件を満足させなければならない。

【0089】この 2 つの条件を満足させるため、図 12 に示す従来の有機 EL の素子構成では、第 1 の TFT 11a は画素を選択するためのスイッチング用トランジスタ、第 2 の TFT 11b は EL 15 に電流を供給するた

めの駆動用トランジスタとする。

【0090】ここで液晶に用いられるアクティブマトリックス方式と比較すると、スイッチング用トランジスタ 11a は液晶用にも必要であるが、駆動用トランジスタ 11b は EL 15 を点灯させるために必要である。この理由は液晶の場合は、電圧を印加することでオン状態を保持することができるが、EL 15 の場合は、電流を流しつづけなければ画素 16 の点灯状態を維持できないからである。

【0091】したがって、EL パネルでは電流を流し続けるためにトランジスタ 11b をオンさせ続けなければならない。まず、走査線、データ線が両方ともオンになると、スイッチング用トランジスタ 11a を通してキャパシタ 19 に電荷が蓄積される。このキャパシタ 19 が駆動用トランジスタ 11b のゲートに電圧を加え続けるため、スイッチング用トランジスタ 11a がオフになっても、電流供給線 20 から電流が流れつづけ、1 フレーム期間にわたり画素 16 をオンできる。

【0092】この構成を用いて階調を表示させる場合、駆動用トランジスタ 11b のゲート電圧として階調に応じた電圧を印加する必要がある。したがって駆動用トランジスタ 11b のオン電流のばらつきがそのまま表示に現れる。

【0093】トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が 450°C 以下の低温ポリシリ技術で形成した低温多結晶トランジスタでは、そのしきい値のばらつきが $\pm 0.2\text{V} \sim 0.5\text{V}$ の範囲でばらつきを持つため、駆動用トランジスタ 11b を流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、TFT の移動度、ゲート絶縁膜の厚みなどでも発生する。

【0094】したがって、アナログ的に階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要があり、現状の低温多結晶ポリシリコン TFT ではこのバラツキを所定範囲以内の抑えるというスペックを満足できない。この問題を解決するため、1 画素内に 4 つのトランジスタをもうけて、しきい値電圧のばらつきをコンデンサにより補償させて均一な電流を得る方法、定電流回路を 1 画素ごとに形成し電流の均一化を図る方法などが考えられる。

【0095】これらの方法は、プログラムされる電流が EL 素子 15 を通じてプログラムされるため電流経路が変化した場合に電源ラインに接続されるスイッチングトランジスタに対し駆動電流を制御するトランジスタがソースフォロワとなり駆動マージンが狭くなる。従って駆動電圧が高くなるという課題を有する。

【0096】また、電源に接続するスイッチングトランジスタをインピーダンスの低い領域で使用する必要があ

り、この動作範囲がEL素子15の特性変動により影響を受けるという課題もある。その上、飽和領域における電圧電流特性に、キンク電流が発生する場合、トランジスタのしきい値電圧の変動が発生した場合、記憶された電流値が変動するとう課題もある。

【0097】本発明のEL素子構造は、上記課題に対して、EL素子15に流れる電流を制御するトランジスタが、ソースフォロウ構成とならず、かつそのトランジスタにキンク電流があっても、キンク電流の影響を最小に抑えることが出来て記憶される電流値の変動を小さくすることが出来る構成である。

【0098】本発明のEL素子構造は、具体的には図1(a)に示すように単位画素が最低4つからなる複数のトランジスタ11ならびにEL素子により形成される。なお、画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極を形成する。このようにソース信号線18上に画素電極を重ねる構成をハイアパーチャ(HA)構造と呼ぶ。つまり、ソース信号線のエッジ部と画素電極のエッジ部とが略一致させるか、もしくはソース信号線のエッジ部と画素電極のエッジ部とが重なるようにする(絶縁膜が中間層にある)。

【0099】第1のゲート信号線(第1の走査線)17aをアクティブ(ON電圧を印加)とすることにより第1のトランジスタ(TFTあるいはスイッチング素子)11aおよび第3のトランジスタ(TFTあるいはスイッチング素子)11cを通して、前記EL素子15に流すべき電流値を流し、第1のトランジスタのゲートとドレイン間を短絡するように第2のトランジスタ11bが第1のゲート信号線17aアクティブ(ON電圧を印加)となることにより開くと共に、第1のトランジスタ11aのゲートとソース間に接続されたコンデンサ(キャパシタ、蓄積容量)19に、前記電流値を流すように第1のトランジスタ11aのゲート電圧(あるいはドレイン電圧)を記憶する。

【0100】なお、第1のトランジスタ11aのソースゲート間容量(コンデンサ)19は0.2pF以上2pF以下の容量とすることが好ましい。他の構成として、別途、コンデンサを形成する構成も例示される。つまり、コンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルから蓄積容量を形成する構成である。M3トランジスタ11cのリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からはこのように別途コンデンサを構成するほうが好ましい。

【0101】コンデンサ19の容量は、基本的には1画素サイズに比例して決定する。画素サイズ0.01平方mmあたり0.2pF以上1.0pFの範囲とすることが好ましい。さらに好ましくは、画素サイズ0.01平方mmあたり0.3pF以上0.8pFの範囲とするこ

とが好ましい。コンデンサ19の容量が小さいと1フレーム期間に一定電圧を保持できず、画像がフリッカとなる。容量が大きすぎると画素の開口率と著しく低下させる。

【0102】なお、コンデンサ19は隣接する画素間の非表示領域におおむね形成することがこのましい。一般的に、フルカラー有機ELを作成する場合、有機EL層をメタルマスクによるマスク蒸着で形成するためマスク位置ずれによるEL層の形成位置が発生する。位置ずれが発生すると各色の有機EL層が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は10μm以上離れなければならない。この部分は発光に寄与しない部分となる。したがって、蓄積容量19をこの領域に形成することは開口率向上のために有効手段となる。

【0103】次に、第1のゲート信号線17aを非アクティブ(OFF電圧を印加)、第2のゲート信号線17bをアクティブとして、電流の流れる経路を前記第1のトランジスタ11a並びにEL素子15に接続された第4のトランジスタ11dならびに前記EL素子15を含む経路に切り替えて、記憶した電流を前記EL素子15に流すように動作する。

【0104】この回路は1画素内に4つのトランジスタ11を有しており、第1のトランジスタM1のゲートは、第2のトランジスタM2のソースに接続されており、第2のトランジスタおよび第3のトランジスタM2のゲートは第1のゲート信号線17aに、M2のドレインはM3のソースならびに第4のトランジスタM4のソースに接続されM3のドレインはソース信号線18に接続されている。トランジスタM4のゲートは第2のゲート信号線17bに接続され、トランジスタM4のドレインはEL15のアノード電極に接続されている。

【0105】なお、図1ではすべてのTFTはPチャンネルで構成している。Pチャンネルは多少NチャンネルのTFTに比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はEL素子構成をPチャンネルで構成することのみに限定するものではない。Nチャンネルのみで構成してもよく、また、NチャンネルとPチャンネルの両方を用いて構成してもよい。

【0106】また、第3および第4のトランジスタは同一の極性で構成し、かつNチャンネルで構成し、第1および第2のトランジスタはPチャンネルで構成することが好ましい。一般的にPチャンネルトランジスタはNチャンネルトランジスタに比較して、信頼性が高い、キンク電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度をえるEL素子に対しては、第1のトランジスタ11aをPチャンネルにする効果大きい。

【0107】以下、本発明のEL素子構成について図13を用いて説明する。本発明のEL素子構成は2つのタ

タイミングにより制御される。第1のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでTFT11bならびにTFT11cがONすることにより、等価回路として図13(a)となる。ここで、信号線より所定の電流I1が書き込まれる。これによりTFT11aはゲートとドレインが接続された状態となり、このTFT11aとTFT11cを通じて電流I1が流れる。従って、TFT11aのゲートソースの電圧はI1が流れるような電圧V1となる。

【0108】第2のタイミングはTFT11aとTFT11cが閉じ、TFT11dが開くタイミングであり、そのときの等価回路は図13(b)となる。TFT11aのソースゲート間の電圧V1は保持されたままとなる。この場合、M1のトランジスタ11aは常に飽和領域で動作するため、I1の電流は一定となる。

【0109】なお、トランジスタ11aのゲートとトランジスタ11cのゲートは同一のゲート信号線11aに接続している。しかし、トランジスタ11aのゲートとトランジスタ11cのゲートとを異なるゲート信号線11に接続してもよい(SA1とSA2とを個別に制御できるようにする)。つまり、1画素のゲート信号線は3本となる(図1の構成は2本である)。トランジスタ11aのゲートのON/OFFタイミングとトランジスタ11cのゲートのON/OFFタイミングを個別に制御することにより、トランジスタ11のばらつきによるEL素子15の電流値バラツキをさらに低減することができる。

【0110】第1のゲート信号線17aと第2のゲート信号線17bとを共通にし、第3および第4のトランジスタが異なった導電型(NチャンネルとPチャンネル)とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。

【0111】このように構成すれば本発明の動作タイミングとしては信号線からの書き込み経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がM1のソースゲート間容量(コンデンサ)に記憶されない。TFTM3とTFTM4を異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずM3がオフしたのちにM4がオンすることが可能になる。

【0112】ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低4つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ11e(M5)を図1(b)に示すようにカスケード接続してトランジスタの総数が4以上になっても動作原理は同じである。このようにトランジスタ11eを加えた構成とすることにより、トランジスタM3

を介してプログラムした電流がより精度よくEL素子15に流すことができるようになる。

【0113】図1の構成において、第1のトランジスタ11aの飽和領域における電流値I_{ds}が下式の条件を満足させることがさらに好ましい。なお、下式においてλの値は、隣接する画素間において0.06以下0.01以上の条件を満足させる。

【0114】

$$I_{ds} = k * (V_{gs} - V_{th})^2 (1 + V_{ds} * \lambda)$$

本発明では、トランジスタ11aの動作範囲を飽和領域に限定するが、一般的に飽和領域におけるトランジスタ特性は、理想的な特性より外れ、ソースドレイン間電圧の影響を受ける。この効果をミラー効果という。

【0115】隣接する画素におけるそれぞれのトランジスタ11aにΔV_tなる閾値のシフトが発生した場合を考える。この場合記憶される電流値は同じである。閾値のシフトをΔLとすれば、約ΔV×λがトランジスタ11aの閾値が変動することによる、EL素子15の電流値のずれに相当する。したがって、電流のずれをx(%)以下に抑えるためには、閾値のシフトの許容量を隣接する画素間でy(V)を許容するとして、λは0.01×x/y以下でなければならないことが判る。

【0116】この許容値はアプリケーションの輝度により変化する。輝度が100cd/m²から1000cd/m²までの輝度領域においては、変動量が2%以上あれば人間は変動した境界線を認識する。したがって、輝度(電流量)の変動量が2%以内であることが必要である。輝度が100cd/cm²より高い場合は隣接する画素の輝度変化量は2%以上となる。本発明のEL表示素子を携帯端末用ディスプレイとして用いる場合、その要求輝度は100cd/m²程度である。実際に図1の画素構成を試作し、閾値の変動を測定すると、隣接する画素のトランジスタ11aにおいては閾値の変動の最大値は0.3Vであることが判った。

【0117】したがって、輝度の変動を2%以内に抑えるためにはλは0.06以下でなければならない。しかし、0.01以下にする必要はない。人間が変化を認識することができないからである。また、この閾値のバラツキを達成するためにはトランジスタサイズを十分大きくする必要があり、非現実的である。

【0118】また、第1のトランジスタ11aの飽和領域における電流値I_{ds}が下式を満足するように構成することが好ましい。なお、λの変動が隣接する画素間において5%以下1%以上とする。

【0119】

$$I_{ds} = k * (V_{gs} - V_{th})^2 (1 + V_{ds} * \lambda)$$

隣接する画素間において、たとえ閾値の変動が存在しない場合でも上記式のλに変動があれば、ELを流れる電流値が変動する。変動を±2%以内に抑えるためには、λの変動を±5%に抑えなければならない。しかし、し

かし、1%以下にする必要はない。人間が変化を認識することができないからである。また、1%以下を達成するためにはトランジスタサイズを相当に大きくする必要があり、非現実的である。

【0120】また、実験、アレイ試作および検討によれば第1のトランジスタ11aのチャンネル長が10 μ m以上200 μ m以下とすることが好ましい。さらに好ましくは、第1のトランジスタ11aのチャンネル長が15 μ m以上150 μ m以下とすることが好ましい。これは、チャンネル長Lを長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。

【0121】また、画素を構成するトランジスタ11が、レーザ再結晶化方法（レーザアニール）により形成されたポリシリコンTFTで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザの照射方向に対して同一の方向であることが好ましい。

【0122】本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために4トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、4つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザ照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。

【0123】なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたりの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。

【0124】また、蓄積容量19の容量値をCs、第2のトランジスタ11bのオフ電流値をI_{off}とした場合、次式を満足させることが好ましい。

$$【0125】3 < Cs/I_{off} < 24$$

さらに好ましくは、次式を満足させることが好ましい。

$$【0126】6 < Cs/I_{off} < 18$$

トランジスタ11bのオフ電流を5pA以下とすることにより、ELを流れる電流値の変化を2%以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を1フィールド間保持できないためである。したがって、コンデンサ19の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を2%以下に抑えることができる。

【0127】また、アクティブマトリックスを構成するトランジスタがp-chポリシリコン薄膜トランジスタに構成され、トランジスタ11bがデュアルゲート以上

であるマルチゲート構造とすることが好ましい。トランジスタ11bは、トランジスタ11aのソースドレイン間のスイッチとして作用するため、できるだけON/OFF比の高い特性が要求される。トランジスタ11bのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりON/OFF比の高い特性を実現できる。

【0128】また、アクティブマトリックスを構成するトランジスタがポリシリコン薄膜トランジスタで構成されており、各トランジスタの（チャンネル幅W）*（チャンネル長L）を54 μ m²以下とすることが好ましい。（チャンネル幅W）*（チャンネル長L）とトランジスタ特性のバラツキとは相関がある。

【0129】トランジスタ特性におけるばらつきの原因は、レーザの照射によるエネルギーのばらつきなどに起因するものが大きく、したがってこれを吸収するためには、できるだけレーザの照射ピッチ（一般的には10数 μ m）をチャンネル内により多く含む構造が望ましい。各トランジスタの（チャンネル幅W）*（チャンネル長L）を54 μ m²以下とすることによりレーザ照射に起因するばらつきがなく、特性のそろった薄膜トランジスタを得ることができる。

【0130】なお、あまりにもトランジスタサイズが小さくなると面積による特性ばらつきが発生する。したがって、各トランジスタの（チャンネル幅W）*（チャンネル長L）は9 μ m²以上となるようにする。なお、さらに好ましくは、各トランジスタの（チャンネル幅W）*（チャンネル長L）は16 μ m²以上45 μ m²以下となるようにすることが好ましい。

【0131】また、隣接する単位画素での第1のトランジスタ11aの移動度変動が20%以下であるようにすることが好ましい。移動度が不足することによりスイッチングトランジスタの充電能力が劣化し、時間内に必要な電流値を流すまでに、M1のゲートソース間の容量を充電できない。従って移動のばらつきを20%以内に抑えることにより画素間の輝度のばらつきを認知限以下にすることができる。

【0132】以上の説明は、画素構成が図1の構成として説明したが、以上の事項は図20、図21に図示する構成にも適用することができる。以下、図20などの画素構成について、構成、動作などの説明をする。

【0133】EL素子15に流す電流を設定する時、TFT11aに流す信号電流をI_w、その結果TFT11aに生ずるゲート・ソース間電圧をV_{gs}とする。書き込み時はTFT11dによってTFT11aのゲート・ドレイン間が短絡されているので、TFT11aは飽和領域で動作する。よって、I_wは、以下の式で与えられる。

【0134】

$$I_w = \mu_1 \cdot C_{ox1} \cdot W_1/L_1/2 (V_{gs} - V_{th1})^2 \dots (1)$$

ここで、 C_{ox} は単位面積当たりのゲート容量であり、 $C_{ox} = \epsilon_0 \cdot \epsilon_r / d$ で与えられる。 V_{th} はTFTの閾値、 μ はキャリアの移動度、 W はチャンネル幅、 L はチャンネル長、 ϵ_0 は真空の移動度、 ϵ_r はゲート絶縁膜の比誘電率を示し、 d はゲート絶縁膜の厚みである。

【0135】EL素子15に流れる電流を I_{dd} とする

$$I_{drv} = \mu \cdot C_{ox} \cdot W^2 / L^2 / 2 (V_{gs} - V_{th2})^2 \dots (2)$$

絶縁ゲート電界効果型の薄膜トランジスタ(TFT)が飽和領域で動作するための条件は、 V_{ds} をドレイン・ソース間電圧として、一般に以下の式で与えられる。

【0137】

$$|V_{ds}| > |V_{gs} - V_{th}| \dots (3)$$

ここで、TFT11aとTFT11bは、小さな画素内

$$I_{drv} / I_w = (W^2 / L^2) / (W_1 / L_1) \dots (4)$$

ここで注意すべき点は、(1)式及び(2)式において、 μ 、 C_{ox} 、 V_{th} の値自体は、画素毎、製品毎、あるいは製造ロット毎にばらつくのが普通であるが、(4)式はこれらのパラメータを含まないので、 I_{drv} / I_w の値はこれらのばらつきに依存しないということである。

【0139】仮に $W_1 = W_2$ 、 $L_1 = L_2$ と設計すれば、 $I_{drv} / I_w = 1$ 、すなわち I_w と I_{drv} が同一の値となる。すなわちTFTの特性ばらつきによらず、EL素子15に流れる駆動電流 I_{dd} は、正確に信号電流 I_w と同一になるので、結果としてEL素子15の発光輝度を正確に制御できる。

【0140】以上の様に、変換用TFT11aの V_{th1} と駆動用TFT11bの V_{th2} は基本的に同一であるが、両TFTお互いの共通電位にあるゲートに対してカットオフレベルの信号電圧が印加されると、TFT11a及びTFT11b共に非導通状態になるはずである。ところが、実際には画素内でもパラメータのばらつきなどの要因により、 V_{th1} よりも V_{th2} が低くなってしまうことがある。この時には、駆動用TFT11bにサブスレッショルドレベルのリーク電流が流れるが、EL素子15は微発光を呈する。この微発光により画面のコントラストが低下し表示特性が損なわれる。

【0141】本発明では特に、駆動用TFT11bの閾電圧 V_{th2} が画素内で対応する変換用TFT11aの閾電圧 V_{th1} より低くならない様に設定している。例えば、TFT11bのゲート長 L_2 をTFT11aのゲート長 L_1 よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 V_{th2} が V_{th1} よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。以上の事項は図1のTFT11aとTFT11dの関係にも適用される。

【0142】図21に示すように、信号電流が流れる変

と、 I_{dd} は、EL素子15と直列に接続されるTFT11bによって電流レベルが制御される。本発明では、そのゲート・ソース間電圧が(1)式の V_{gs} に一致するので、TFT11bが飽和領域で動作すると仮定すれば、以下の式が成り立つ。

【0136】

部に近接して形成されるため、大略 $\mu_1 = \mu_2$ 及び $C_{ox1} = C_{ox2}$ であり、特に工夫を凝らさない限り、 $V_{th1} = V_{th2}$ と考えられる。すると、このとき(1)式及び(2)式から容易に以下の式が導かれる。

【0138】

換用トランジスタTFT11a、EL素子15等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタTFT11bの他、第1の走査線scanA(SA)の制御によって画素回路とデータ線dataとを接続もしくは遮断する取込用トランジスタTFT11c、第2の走査線scanB(SB)の制御によって書き込み期間中にTFT1111aのゲート・ドレインを短絡するスイッチ用トランジスタTFT11d、TFT11aのゲート・ソース間電圧を、書き込み終了後も保持するための容量C19および発光素子としてのEL素子15などから構成される。したがって、ゲート信号線は各画素2本であることから、以前に説明した図1、図2、図3などで説明した本発明の明細書全体の構成、機能、動作などが適用することができる。

【0143】図21でTFT11cはNチャンネルMOS(NMOS)、その他のトランジスタはPチャンネルMOS(PMOS)で構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Cは、その一方の端子をTFT11aのゲートに接続され、他方の端子は V_{dd} (電源電位)に接続されているが、 V_{dd} に限らず任意の一定電位でも良い。EL素子15のカソード(陰極)は接地電位に接続されている。したがって、以上の事項は図1などにも適用されることは言うまでもない。

【0144】図21の構成は、走査線scanA及びscanBを順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流 I_w を生成して逐次データ線dataに供給する電流源CSを含むデータ線駆動回路と、各走査線scanA、scanB及び各データ線dataの交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型のEL素子15を含む複数の画素とを備えている。

【0145】特徴事項として、図21に示した画素構成は、当該走査線scanAが選択された時当該データ線

dataから信号電流 I_w を取り込む受入部と、取り込んだ信号電流 I_w の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子OLEDに流す駆動部とからなる。具体的には、前記受入部は取込用トランジスタTFT11cからなる。

【0146】前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用薄膜トランジスタTFT11aと、そのゲートに接続した容量Cとを含んでいる。変換用薄膜トランジスタTFT11a、受入部によって取り込まれた信号電流 I_w をチャネルに流して変換された電圧レベルをゲートに発生させ、容量C19に生じた電圧レベルを保持する。

【0147】更に前記変換部は、変換用薄膜トランジスタTFT11aドレインとゲートとの間に挿入されたスイッチ用薄膜トランジスタTFT11dを含んでいる。スイッチング用薄膜トランジスタTFT11dは、信号電流 I_w の電流レベルを電圧レベルに変換する時に導通し、変換用薄膜トランジスタTFT11aのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをTFT11aのゲートに生ぜしめる。又、スイッチ用薄膜トランジスタTFT11dは、電圧レベルを容量Cに保持する時に遮断され、変換用薄膜トランジスタTFT11aのゲート及びこれに接続した容量C19をTFT11aのドレインから切り離す。

【0148】また、前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用薄膜トランジスタTFT11bを含んでいる。駆動用薄膜トランジスタTFT11bは、容量C19に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介してEL素子15に流す。変換用薄膜トランジスタTFT11aのゲートと駆動用薄膜トランジスタTFT11bのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流 I_w の電流レベルと駆動電流の電流レベルとが比例関係となる様にしている。

【0149】駆動用薄膜トランジスタTFT11bは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流をEL素子15に流す。

【0150】駆動用薄膜トランジスタTFT11bは、その閾電圧が画素内で対応する変換用薄膜トランジスタTFT11aの閾電圧より低くならない様に設定されている。具体的には、TFT11bは、そのゲート長がTFT11aのゲート長より短くならない様に設定されている。あるいは、TFT11bは、そのゲート絶縁膜が画素内で対応するTFT11aのゲート絶縁膜より薄くならないように設定しても良い。

【0151】あるいは、TFT11bは、そのチャネルに注入される不純物濃度を調整して、閾電圧が画素内で対応するTFT11aの閾電圧より低くならない様に設定してもよい。仮に、TFT11aとTFT11bの閾

電圧が同一となる様に設定した場合、共通接続された両薄膜トランジスタのゲートにカットオフレベルの信号電圧が印加されると、TFT11a及びTFT11bは両方共オフ状態になるはずである。ところが、実際には画素内にも僅かながらプロセスパラメータのばらつきがあり、TFT11aの閾電圧よりTFT11bの閾電圧が低くなる場合がある。

【0152】この時には、カットオフレベル以下の信号電圧でもサブスレッショルドレベルの微弱電流が駆動用TFT11bに流れる為、EL素子15は微発光し画面のコントラスト低下が現れる。そこで、TFT11bのゲート長をTFT11aのゲート長よりも長くしている。これにより、薄膜トランジスタのプロセスパラメータが画素内で変動しても、TFT11bの閾電圧がTFT11aの閾電圧よりも低くならない様にする。

【0153】ゲート長Lが比較的短い短チャネル効果領域Aでは、ゲート長Lの増加に伴い V_{th} が上昇する。一方、ゲート長Lが比較的大きな抑制領域Bではゲート長Lに関わらず V_{th} はほぼ一定である。この特性を利用して、TFT11bのゲート長をTFT11aのゲート長よりも長くしている。例えば、TFT11aのゲート長が $7\mu m$ の場合、TFT11bのゲート長を $10\mu m$ 程度にする。

【0154】TFT11aのゲート長が短チャネル効果領域Aに属する一方、TFT11bのゲート長が抑制領域Bに属する様にしても良い。これにより、TFT11bにおける短チャネル効果を抑制することができるとともに、プロセスパラメータの変動による閾電圧低減を抑制可能である。

【0155】以上により、TFT11bに流れるサブスレッショルドレベルのリーク電流を抑制してEL素子15の微発光を抑え、コントラスト改善に寄与可能である。

【0156】図21に示した画素回路の駆動方法を簡潔に説明する。まず、書き込み時には第1の走査線scanA、第2の走査線scanBを選択状態とする。両走査線が選択された状態でデータ線dataに電流源CSを接続することにより、TFT11aに輝度情報に応じた信号電流 I_w が流れる。電流源CSは輝度情報に応じて制御される可変電流源である。このとき、TFT11aのゲート・ドレイン間はTFT11dによって電気的に短絡されているので(3)式が成立し、TFT11aは飽和領域で動作する。従って、そのゲート・ソース間には(1)式で与えられる電圧 V_{gs} が生ずる。

【0157】次に、scanA、scanBを非選択状態とする。詳しくは、まずscanBを低レベルとしてTFT11dをoff状態とする。これによって V_{gs} が容量C19によって保持される。次にscanAを高レベルにしてoff状態とすることにより、画素回路とデータ線dataとが電気的に遮断されるので、その後

はデータ線 data を介して別の画素への書き込みを行うことができる。ここで、電流源 CS が信号電流の電流レベルとして出力するデータは、scanB が非選択となる時点では有効である必要があるが、その後は任意のレベル（例えば次の画素の書き込みデータ）とされて良い。

【0158】TFT11b は TFT11a とゲート及びソースが共通接続されており、かつ共に小さな画素内部に近接して形成されているので、TFT11b が飽和領域で動作していれば、TFT11b を流れる電流は

(2) 式で与えられ、これがすなわち EL 素子 15 に流れる駆動電流 I_{dd} となる。TFT11b を飽和領域で動作させるには、EL 素子 15 での電圧降下を考慮してもなお (3) 式が成立するよう、十分な電源電位を V_d に与えれば良い。

【0159】図 21 および図 22 において、カレントミラーをこうせりする TFT (11a、11b) のカレントミラー比は 3 以上 15 以下にするとよい。特に 5 以上 10 以下とすることがよい。ここで、たとえば、カレントミラー比 5 とは TFT11a のソースドレインに流れる電流が $5\mu A$ とすると、TFT11b のソースドレインに流れる電流を $1\mu A$ に設計することを言う。カレントミラー比は TFT11a と 11b のトランジスタサイズにより自由に設計できる。

【0160】以上の容易カレントミラー比を 1 以上にするのは、ソース信号線 18 の寄生容量の影響を小さくするためである。図 1、図 21 などのように電流駆動を行う場合、黒表示ではソース信号線 18 に流れる電流が小さくなる。そのため、ソース信号線 18 に寄生容量（ソースゲート信号線クロス容量など）が大きいと、この寄生容量の充放電に時間を必要とし、画素のコンデンサ 19 に規定の電圧を 1H（1 水平走査期間）期間に書き込めなくなるからである。

【0161】この課題を解決するためには、ソース信号線に流れる電流を大きくするとよい。したがって、カレントミラー比を 1 以上とすることにより寄生容量も十分に充放電できるようになる。しかし、カレントミラー比をあまりに大きくすると、ソースドライバ IC 14 の消費電力が大きくなってしまふ。

【0162】カレントミラー比を K としたとき、ソースドライバ IC（回路）14 の出力段からみた 1 本のソース信号線の容量を $A_p F$ とし、書き込み最大電流を $I\mu A$ とした時、 K は、 $C/(I \cdot 10)$ 以上 C/I 以下の範囲にすることが好ましい。

【0163】また、図 1 の構成では、ソースドライバ IC（回路）14 の出力段からみた 1 本のソース信号線の容量を $A_p F$ とし、書き込み最大電流を $I\mu A$ とし、1 水平走査時間（1H）を $T\mu sec$ とした時、 T は、 $(4 \cdot C)/I$ 以上 $(20 \cdot C)/I$ 以下の範囲にすることが好ましい。

【0164】なお、図 1 (b) などと同様に、インピーダンスを増大させるためなどを目的として、図 22 に図示するように、TFT11e、11f を付加しても良いことはいうまでもない。このように TFT11e、11f を付加することによりより良好な電流駆動を実現できる。他の事項は図 1 で説明しているで省略する。

【0165】このようにして作製した図 1、図 21 などで説明した EL 表示素子に直流電圧を印加し、 $10mA/cm^2$ の一定電流密度で連続駆動させた。EL 構造体は、7.0V、 $200cd/cm^2$ の緑色（発光極大波長 $\lambda_{max}=475nm$ ）の発光が確認できた。

【0166】青色発光部は、輝度 $100cd/cm^2$ で、色座標が $x=0.15$ 、 $y=0.17$ 、緑色発光部は、輝度 $250cd/cm^2$ で、色座標が $x=0.34$ 、 $y=0.63$ 、赤色発光部は、輝度 $150cd/cm^2$ で、色座標が $x=0.65$ 、 $y=0.34$ の発光色が得られた。

【0167】以下、図 1、図 21 などで説明した構成について、その検査方法および検査装置について順次説明をする。

【0168】まず、表示パネルを構成するアレイ基板（スイッチング素子が形成された基板）49 は図 23 に図示するように、1 枚の基板 231（たとえば、ガラス基板）に多数個が同時に形成（作製）される。各アレイ基板 49 は画素などを構成するスイッチング素子あるいはゲートドライバ回路 12 などを静電気から防止するためにシートリング 232 が形成されている。

【0169】ショートリング 232 はゲート信号線 17 およびソース信号線 18 共通に電氣的短絡するものである。構成材料としては、クロム (Cr)、アルミニウム (Al) などの金属薄膜からなる。

【0170】図 23 では、各アレイ基板 49 のショートリングは独立しているように図示しているがこれに限定するものではなく、複数のショートリングが短絡状態に形成してもよい。また、ショートリングはすべての辺を短絡状態にする必要はなく、2 辺だけであってもよい。また、各辺のショートリングと他辺のショートリング間はダイオードを用いて接続状態としてもよい。このような構成も電氣的短絡状態である。

【0171】図 24 は 1 枚のアレイ基板 49 の構成図である。なお、各画素 16 は図 1、図 21 あるいは図 22 に図示した構成を例示しているがこれに限定するものではなく、たとえば、図 38 の構成でもよい。

【0172】ショートリング 232b はゲート信号線 17 を電気短絡状態にしている。また、ショートリング 232a はソース信号線 18 を電気短絡状態にしている。ショートリング 232a とショートリング 232b とは切断部 241 で接続されている。この切断部 241 とは、クロム (Cr) の単層膜、あるいはモリブデンなどの単層膜で形成され、レーザ光の照射などにより、容易にショートリング 232a と 232b とを電氣的に切断

状態にできるように構成されている。また、容易に切断とは、切断箇所の幅を他の部分より狭めた構成でもよいことは言うまでもない。

【0173】その他、切断部に画素のスイッチング素子の形成と同時にダイオードを形成し、電圧の印加方向に対応して電氣的断線状態にする構成であってもよい。その他、切断部に比較的高抵抗の抵抗体を形成し、たとえば、ショートリング232bに印加した電圧が抵抗体の電圧降下によりショートリング232aに伝達されないように構成してもよい。

【0174】なお、242はソースドライバIC14の端子電極と接続するための端子電極である。端子電極242とソースドライバIC14の端子とはCOG（チップオンガラス）技術で接続される。端子電極242はショートリング232aをカットすることにより、個々に分離される。

【0175】アレイ基板49または表示パネルとしてから検査するためには、まず、切断部241が切断される。端子62にはV_{dd}電圧（アノード電圧）が印加される。端子61にはV_{s1}電圧（カソード電圧）が印加される。

【0176】図25は検査装置および検査方法の説明図である。ショートリング232bにはスイッチング素子11bなどをオンする電圧（以下、オン電圧と呼ぶ）が印加される。253は信号源である。信号源253bはオン電圧またはスイッチング素子をオフにするオフ電圧を出力する。具体的には図1の場合、オン電圧は12（V）、オフ電圧は-2（V）である。前記オン電圧はプローブ251bによりショートリング232bに印加される。したがって、すべてのゲート信号線17にはオン電圧が印加される。

【0177】一方、信号源253cはV_{dd}電圧を発生し、プローブ251cを介して端子62に印加される。具体的にはV_{dd}電圧は12（V）である。また、信号源253aはV_{s1}電圧を発生し、プローブ251aを介して端子61に印加される。具体的には、V_{s1}電圧は0（V）である。なお、EL素子の点灯状態は、図25に示すように観察者252が直接に目により光学的に観察するほか、CCDカメラで観察あるいは測定したり、スキャナで走査することにより観察あるいは測定もしくは検出したり、ホトセンサで検出、観察したりのいずれでもよい。

【0178】一方、ショートリング232aはオープン状態にする。つまり、開放状態である。開放状態とは高抵抗でもよいし、リレーなどのメカニカルなスイッチにより開放でもよいし、ホトダイオード、ホトトランジスタなどによる電氣的な開放状態でもよい。

【0179】なお、明細書ではすべてのゲート信号線17に同一の電圧を印加し、すべてのソース信号線をオープン状態にするとして説明するが、これは説明を容易に

するためである。したがって、検査にあたっては、必要な部位のみの信号線を制御すればよいことは言うまでもない。

【0180】図1の構成において、ゲート信号線17a、17bにオン電圧を印加すると、TFT11b、11c、11dがオン状態となる。したがって、画素の等価回路は図26のごとくなる。ソース信号線18はオープン状態のため、電流I_sは流れず、駆動TFT11aを流れる電流IはすべてEL素子15に流れる電流I_dとなる。

【0181】図25の状態では、すべてのゲート信号線17にオン電圧が印加されているため、すべての画素は図26の状態となる。したがって、表示パネルに表示されている画素はすべて点灯状態となる。もし、非点灯状態の画素があればTFTが壊れているか、能力が低いことになる。

【0182】以上のように電圧などを印加することにより表示領域の画素は点灯状態にすることができ、検査を行うことができる。また、V_{dd}電圧を変化させることにより、EL素子15の特性などを直接光学的に観察することができる。また、TFT11aの能力も観察することが容易である。

【0183】なお、図1においてTFT11bのゲート端子とTFT11cのゲート端子とを個別に制御できるように構成すれば、図26の状態において、TFT11bをオンさせ、同時にTFT11cをオフに維持することができる。したがって、ソース信号線18に電圧あるいは電流などが印加されていても良好な検査を行うことができる。

【0184】図27に示すようにゲート信号線に印加する電圧を変化させることにより、EL素子15および駆動TFT11aの特性などを的確に性能判断することができる。図27（a）はアノード電圧を示す。図27（b）がようにゲート信号線17a、17bに電圧を印加すれば図26の状態となる。ゲート信号線17に対し、図27（c）のように印加すればコンデンサ19は充電と放電とを繰り返すことになる。

【0185】したがって、図28（d）のようにゲート信号線に印加する駆動波形の周期を変化させることにより、EL表示パネルの表示状態を変化させることができる。また、コンデンサ19に充電してからその後、図27（e）に示すようにゲート信号線17にオフ電圧を印加すれば、コンデンサ19の電荷は放電し、EL表示パネルの表示輝度はだんだんと低下する。この低下の状態を観察あるいは測定することにより表示パネルの保持率などを測定することができる。

【0186】図27（c）（d）（e）に示すようにゲート電圧波形を変化させれば作製されたEL素子の能力あるいは欠陥などを短期間で検出あるいは検査することができる。また、V_{dd}電圧あるいはV_{s1}電圧を変化

させてもELパネルの表示能力あるいは欠陥状態などを測定あるいは検査できることは言うまでもない。

【0187】図28は低温ポリシリコン技術あるいは高温ポリシリコン技術などでアレイ基板49にゲートドライバ回路12を直接形成した構成である。図24との差異は、切断部241がない点である。図2でも説明したようにゲートドライバ12はシフトレジスタ回路あるいはイネーブル回路を動作させることのより、ゲート信号線17a、17bの任意の端子にオン電圧またはオフ電圧を印加することができる。

【0188】なお、低温ポリシリコン技術あるいは高温ポリシリコン技術などでアレイ基板49にソースドライバ回路14を直接形成してもよいことは言うまでもない。

【0189】したがって、図28の構成において、ゲートドライバ回路12を制御することにより図26、図27で説明した検査方法を容易に実施することができる。また、ショートリング232bへのプロービングは必要でなくなる。他の構成あるいは方法は図25、図26、図27などで説明しているので説明を省略する。

【0190】図29はゲート信号線17aをショートリング232aでショートし、ゲート信号線17bはショートリング232cでショートした構成である。アレイ基板49あるいはEL表示装置を検査する時は、図24と同様に切断箇所241a、241bを切断する。

【0191】図29のゲート信号線17aとゲート信号線17bとを個別に制御できるようになる。したがって、図26の構成では、TFT11b、11c（ゲート信号線17aに接続されている）と、TFT11d（ゲート信号線17bに接続されている）とを独立して制御することができる。この検査方法は図30を用いて説明をする。

【0192】図29の構成ではソース信号線には電流あるいは電圧を印加する。印加手段としてはソースドライバ回路14を用いてもよいし、別途信号発生手段を用いてもよい。ここでは、説明を容易にするため、電圧を印加するとして説明をする。

【0193】まず、図30(a)に示すようにソース信号線18に電圧V1を印加する。この際、ゲート信号線17aにはオン電圧を印加し、図1に示すTFT11bおよびTFT11cをオンさせる。また、ゲート信号線17bにはオフ電圧を印加し、EL素子15に接続されたTFT11dをオフさせておく。すると、電圧V1がコンデンサ19に印加される。所定時間後、コンデンサ19に保持されている電圧V2を読み出す。この動作を実施することにより、コンデンサの保持能力およびTFT11b、TFT11cの欠陥の有無を検査することができる。

【0194】TFT11dの検査を行う場合には、図30(a)に示すようにコンデンサ19に電圧を保持させ

た後、ゲート信号線17aにはオフ電圧を印加し、図1に示すTFT11bおよびTFT11cをオフさせる。また、ゲート信号線17bにはオン電圧を印加し、EL素子15に接続されたTFT11dをオンさせる。すると、電流Iddのバスが発生し、EL素子15に電流が流れるため、EL素子15が点灯する。したがって、TFT11dの欠陥の有無、EL素子の能力あるいは欠陥の有無を検出することができる。

【0195】なお、以上に説明した事項は図1(b)の構成でも同様である。Vbb端子にオン電圧を印加し、TFT11eをオンさせておけば、図1(a)の構成となるからである。

【0196】TFT11bを制御するゲート信号線と、TFT11cを制御するゲート信号線およびTFT11dを制御するゲート信号線とを個別に制御するように構成すれば、さらに良好な検査を行うことができる。この場合は、各画素のゲート信号線は3本となる。

【0197】図31はゲート信号線が3本の場合の検査方法の説明図である。当然のことながら、図30で説明した検査方法を実施できることは言うまでもない。

【0198】図29の構成ではソース信号線には電流あるいは電圧を印加する。印加手段としてはソースドライバ回路14を用いてもよいし、別途信号発生手段を用いてもよい。ここでは、説明を容易にするため、電圧を印加するとして説明をする。

【0199】まず、図31(a)に示すようにソース信号線18に電圧V1を印加する。この際、ゲート信号線17aにはオン電圧を印加することにより、図1に示すTFT11bおよびTFT11cをオンさせる。また、ゲート信号線17bにはオフ電圧を印加することにより、EL素子15に接続されたTFT11dをオフさせておく。

【0200】以上のようにTFT11を制御することにより、ソース信号線からEL素子15が切り離され、EL素子15の影響を受けずに検査を実施することができる。なお、電圧V1を印加するとしたが、これは、ソース信号線18に電流を印加すると考えてもよい。以上の事項は図30(a)でも同様である。

【0201】電圧V1がコンデンサ19に印加される。所定時間後、コンデンサ19に保持されている電圧V2（変化していることを想定）を読み出す。この動作を実施することにより、コンデンサの保持能力およびTFT11b、TFT11cの欠陥の有無を検査することができる。電圧V2を読み出すとしたが、具体的に電圧を測定することの他、電流の流れる方向、大きさを測定することも含まれる。また、単に、電圧があるかないかの有無を検出することも含まれる。以上の事項は図30(a)でも同様である。

【0202】TFT11cの検査を行う場合には、図31(b)に示すようにコンデンサ19に電圧を保持させ

た後、TFT11b、TFT11dにオフ電圧を印加し、TFT11cをオンさせる。すると、電流Iddのバスが発生させることができる。この場合、EL素子15は点灯せずに測定を行うことができる。この検査によりTFT11aの駆動能力を測定することができ、また、TFT11cの欠陥の有無も検査することができる。さらに流れる電流Idd（もしくは出力される電圧）をモニターすることにより、コンデンサ19の保持能力あるいは保持特性を検査することができる。

【0203】TFT11dの検査を行う場合には、図30(b)に示すようにコンデンサ19に電圧を保持させた後、TFT11bおよびTFT11cをオフさせる。また、ゲート信号線17bにはオン電圧を印加し、EL素子15に接続されたTFT11dをオンさせる。すると、電流Iddのバスが発生し、EL素子15に電流が流れるため、EL素子15が点灯する。したがって、TFT11dの欠陥の有無、EL素子の能力あるいは欠陥の有無を検出することができる。

【0204】EL素子15を検査するためには、図31(c)に示すように、TFT11cおよびTFT11dをオフさせる。ソース信号線18からEL素子15に直接電流を流せるバスができる。したがって、電流IddをEL素子に流すことができる。また、EL素子15のアノードの電圧を直接モニターできるようになる。

【0205】EL素子15に電流を流し、また、電流のオンオフを実施することによりEL素子15の特性を評価でき、TFT11cおよび11dの欠陥の有無、EL素子の能力あるいは欠陥の有無を検出することができる。

【0206】図32は低温ポリシリコン技術あるいは高温ポリシリコン技術などでアレイ基板49にゲートドライバ回路12およびソースドライバ回路14を直接形成した構成である。

【0207】したがって、図32の構成において図28と同様に、ゲートドライバ回路12を制御することにより図26、図27で説明した検査方法を容易に実施することができる。また、ショートリング232bへのプロービングは必要でなくなる。また、ソースドライバ回路14の制御により図30、図31で説明したように、ソース信号線18に任意の電圧を容易に印加することができるようになる。

【0208】ソースドライバ回路14は図33で図示しているように、シフトレジスタ22bとPチャンネルとNチャンネルのTFTが組となることにより構成されたトランスファージェート(TG)、インバータ回路23、アナログスイッチなどのスイッチ回路334などから構成される。インバータ回路23、TGの構成(段数、大きさ、能力など)については図2で説明した事項が適用されるので説明を省略する。

【0209】TG333に接続されるインバータ23の

段数はTG333のPチャンネルとNチャンネルとで1段異なるように構成されている。したがって、シフトレジスタ22bの出力により1つのTGはオンオフする。TG333のソース端子には映像信号線331により映像信号が印加される。図33では映像信号線は1本であるが、カラー表示を行う場合はR、G、Bの映像信号が形成され、また、TGあるいはシフトレジスタの能力(モビリティなど)が低い場合は、複数に分割されて駆動される。したがって、各映像信号線も複数本となる。

【0210】なお、図33で説明しているソースドライバ回路14は点順次駆動を想定して説明しているが、これに限定するものではなく、線順次駆動であってもよく、またR-DA方式などDA回路を用いたもの、あるいはサンプルホールド回路を用いたもののなどのいずれでもよいことは言うまでもない。他の構成あるいは方法は図25、図26、図27などで説明しているので説明を省略する。

【0211】図33の特徴はソース信号線18との接続箇所にスイッチ334を具備する点である。スイッチ334はTFTからなるアナログスイッチの他、メカニカルリレー、ホトリレーなど2つの接点間をオンオフさせるすべてのものを意味する。また、スイッチ制御線332によりすべてのスイッチ334を制御できるように図示したがこれに限定されるものではなく、各ソース信号線18に配置されたスイッチ334が個別に制御できるように構成してもよいことは言うまでもない。

【0212】また、スイッチはソースドライバ14内に形成したように図示したがこれに限定するものではなく、アレイ基板49に画素TFTを同時に形成してもよいことは言うまでもない。また、別途、IC化してアレイ基板に実装してもよい。

【0213】図33のように構成することにより、スイッチ334をオープンにすることによりソースドライバ回路14をアレイのソース信号線18から切り離すことができる。また、検査時には、任意のソース信号線18に任意(所定)の電圧または電流を印加することができる。したがって、アレイ基板49あるいはEL表示パネルの検査、評価を容易に実施することができる。

【0214】以上の事項は図1を中心として説明をしたが、本発明の検査装置および検査方法は図21、図22の構成であっても実施することができる。このことは図34を用いて説明をする。説明を容易にするため、アレイの構成状態は図29を例にあげて説明をする(もちろん、図24、図32などであってもよいことはいうまでもない)。

【0215】図29はゲート信号線17aをショートリング232aでショートし、ゲート信号線17bはショートリング232cでショートした構成である。アレイ基板49あるいはEL表示装置を検査する時は、図24と同様に切断箇所241a、241bを切断する。

【0216】図29のゲート信号線17aとゲート信号線17bとを個別に制御できるようになる。したがって、図26の構成では、TFT11b、11c（ゲート信号線17aに接続されている）と、TFT11d（ゲート信号線17bに接続されている）とを独立して制御することができる。

【0217】図29の構成ではソース信号線には電流あるいは電圧を印加する。印加手段としては図33で説明したソースドライバ回路14を用いてもよいし、別途信号発生手段を用いてもよい。ここでは、説明を容易にするため、電圧を印加するとして説明をする。

【0218】まず、図34(a)に示すように、ゲート信号線17a、17bにオン電圧を印加し、TFT11cおよびTFT11dをオンさせる。ソース信号線18に電圧V1（もしくは電流）を印加する。するとコンデンサ19に電圧V1が印加され、TFT11aがオンして電流が流れ、同時にカレントミラーの効果によりTFT11bにも電流が流れてEL素子15が点灯する。印加する電圧V1を変化させることにより、EL素子15の点灯状態を変化させることができる。

【0219】所定時間後、コンデンサ19に保持されている電圧V2を読み出す。この動作を実施することにより、コンデンサの保持能力およびTFT11c、TFT11dの欠陥の有無を検査することができる。

【0220】TFT11dの検査を行う場合には、図34(b)に示すようにコンデンサ19に電圧を保持させた後、ゲート信号線17a、17bにはオフ電圧を印加し、図21に示すTFT11cおよびTFT11dをオフさせる。すると、コンデンサ19に保持された電荷により、EL素子15に接続されたTFT11dがオンする。すると、電流Iddのパスが発生し、EL素子15に電流が流れるため、EL素子15が点灯する。したがって、TFT11bの欠陥の有無、EL素子の能力あるいは欠陥の有無を検出することができる。

【0221】なお、以上に説明した事項は図22の構成でも同様である。Vbb端子にオン電圧を印加し、TFT11eおよびTFT11fをオンさせておけば、図21の構成となるからである。他の検査方法、検査装置などに関する事項は図1を中心として説明した事項と同一あるいは同様であるので説明を省略する。

【0222】以上の実施例ではコンデンサ19の一端はVdd電圧に接地していたが、図35に図示するように構成してもよい。図35ではコンデンサ19の一端子をコンデンサ信号線351と接続している。コンデンサ信号線351はゲート信号線17と同一方向に引き出されており、ゲート信号線17と同期を取って、1信号線ごとに印加する電圧値を制御できるように制御されている。一般的にPチャンネルのTFTはVddに対しゲート電圧Vgが-4(V)以下にならないと電流が流れない。この状態では、ソース信号線18に印加する電圧は

-4(V)を基底として駆動する必要がある。したがって、振幅が大きくなる。

【0223】この課題を解決するため、図36(a)に図示するように、TFT11b、11cとオンさせた状態の時、コンデンサ信号線351にはVdd電圧を印加しておく。ソース信号線18にはPチャンネルTFT11aがオンする電圧V0を基準として所定の電流が得られる電圧V3を印加する。

【0224】次にTFT11b、TFT11cをオフし、コンデンサ信号線351の電圧をV0電圧にする。するとPチャンネルのTFT11aのVg電圧はV0+V3となり、所望の電流をえることができる。

【0225】検査方法は、図36(a)に示すようにソース信号線18に電圧V1を印加する。この際、ゲート信号線17aにはオン電圧を印加し、図1に示すTFT11bおよびTFT11cをオンさせる。また、ゲート信号線17bにはオフ電圧を印加し、EL素子15に接続されたTFT11dをオフさせておく。すると、電圧V1がコンデンサ19に印加される。

【0226】所定時間後、コンデンサ19に保持されている電圧V2を読み出す。この動作を実施することにより、コンデンサの保持能力およびTFT11b、TFT11cの欠陥の有無を検査することができる。また、コンデンサ信号線351の電圧値を変化させることにより出力電圧V2を変化させることができ、コンデンサ19の能力を判定することができる。

【0227】TFT11dの検査を行う場合には、図36(a)に示すようにコンデンサ19に電圧を保持させた後、ゲート信号線17aにはオフ電圧を印加し、図1に示すTFT11bおよびTFT11cをオフさせる。また、ゲート信号線17bにはオン電圧を印加し、EL素子15に接続されたTFT11dをオンさせる。すると、電流Iddのパスが発生し、EL素子15に電流が流れるため、EL素子15が点灯する。したがって、TFT11dの欠陥の有無、EL素子の能力あるいは欠陥の有無を検出することができる。

【0228】TFT11cの検査を行う場合には、図36(b)に示すようにコンデンサ19に電圧を保持させた後、TFT11b、TFT11dにオフ電圧を印加し、TFT11cをオンさせる。すると、電流Iddのパスが発生させることができる。この場合、EL素子15は点灯せずに測定を行うことができる。この検査によりTFT11aの駆動能力を測定することができ、また、TFT11cの欠陥の有無も検査することができる。

【0229】さらに流れる電流Idd（もしくは出力される電圧）をモニターすることにより、コンデンサ19の保持能力あるいは保持特性を検査することができる。また、コンデンサ信号線351の電圧値を変化させることにより出力電流Iddを変化させることができ、TF

T11aの能力を判定することができる。

【0230】TFT11dの検査を行う場合には、図36(b)に示すようにコンデンサ19に電圧を保持させた後、TFT11bおよびTFT11cをオフさせる。また、ゲート信号線17bにはオン電圧を印加し、EL素子15に接続されたTFT11dをオンさせる。すると、電流Iddのパスが発生し、EL素子15に電流が流れるため、EL素子15が点灯する。したがって、TFT11dの欠陥の有無、EL素子の能力あるいは欠陥の有無を検出することができる。また、コンデンサ信号線351の電圧値を変化させることにより出力電圧V2を変化させることができ、コンデンサ19の能力などを判定することができる。

【0231】EL素子15を検査するためには、図36(c)に示すように、TFT11cおよびTFT11dをオフさせる。ソース信号線18からEL素子15に直接電流を流せるパスができる。したがって、電流IddをEL素子に流すことができる。また、EL素子15のアノードの電圧を直接モニターできるようになる。

【0232】EL素子15に電流が流し、また、電流のオンオフを実施することによりEL素子15の特性を評価でき、TFT11cおよび11dの欠陥の有無、EL素子の能力あるいは欠陥の有無を検出することができる。また、コンデンサ信号線351の電圧値を変化させることにより出力電圧V2を変化させることができ、コンデンサ19の能力を判定することができる。

【0233】なお、図35において、コンデンサ信号線351はゲート信号線17と同一方向に引き出されており、ゲート信号線17と同期を取って、1信号線ごとに印加する電圧値を制御できるように制御されているとしたがこれに限定するものではない。コンデンサ信号線351は複数の画素行に共通にしてもよい。したがって複数の画素行のコンデンサ信号線351に同一に電圧を印加するように構成することによっても、前述の駆動あるいは検査などを実施することができる。

【0234】以上の実施例は図1の構成に関するものであったが、図21および図22に関しても同様である。動作は図36と同様であるので説明を省略する。また、図38に示すように画素が2つのTFTで構成される場合も同様である。この場合は図39のように構成すればよい。

【0235】なお、本発明の検査装置あるいは検査方法において、EL素子15を点灯させて検査するとしたが、これに限定するものではない。たとえば、図26において、EL素子15がなくともTFT11b、11cのオンオフを制御することにより、TFT11a、11b、11cの良否、コンデンサCの特性を検査などすることができる。つまり、アレイ状態であっても検査などを行うことができる。図30、図31、図35においても同様である。また、図34においても、EL素子15

がなくともTFT11d、11cのオンオフを制御することにより、TFT11a、11b、11cの良否、コンデンサCの特性を検査などすることができる。つまり、アレイ状態であっても十分な検査を行うことができる。図37においても同様である。したがって、まず、EL素子15(EL膜を蒸着する前)を形成する前にアレイ状態でTFTの検査を実施し、EL素子15を形成してパネル化状態で検査を再度実施することは有効である。

【0236】以下、図1、図21、図22などを用いた表示装置、表示モジュール、情報表示装置およびその駆動回路と駆動方法などについて説明をする。

【0237】フルカラー有機ELパネルでは、開口率の向上が重要な開発課題になる。開口率を高めると光の利用効率が上がり、高輝度化や長寿命化につながるためである。開口率を高めるためには、有機EL層からの光を遮るTFTの面積を小さくすればよい。

【0238】低温多結晶Si-TFTはアモルファスシリコンに比較して10-100倍の性能を持ち、電流の供給能力が高いため、TFTの大きさを非常に小さくできる。したがって、有機ELパネルでは、画素トランジスタ、周辺駆動回路を低温ポリシリコン技術で作製することが好ましい。もちろん、アモルファスシリコン技術で形成してもよいが画素開口率はかなり小さくなってしまふ。

【0239】ゲートドライバ12あるいはソースドライバ14などの駆動回路をガラス基板46上に形成することにより、電流駆動の有機ELパネルで特に問題になる抵抗を下げるができる。TCPの接続抵抗がなくなるうに、TCP接続の場合に比べて電極からの引き出し線が2-3mm短くなり配線抵抗が小さくなる。さらに、TCP接続のための工程がなくなる、材料コストが下がるという利点があるとする。

【0240】次に、本発明のEL表示パネルあるいはEL表示装置について説明をする。図2はEL表示装置の回路を中心とした説明図である。画素16がマトリクス状に配置または形成されている。各画素16には各画素の電流プログラムを行う電流を出力するソースドライバ14が接続されている。ソースドライバ14の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている。

【0241】たとえば、64階調であれば、63個のカレントミラー回路が各ソース信号線ごとに形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線18に印加できるように構成されている。なお、カレントミラー回路の最小出力電流は2nA以上10nAにしている。また、ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。

【0242】有機EL素子は大きな温度依存性特性(温

特)があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはボジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。

【0243】この場合は、選択するEL材料で一義的に決定されるから、マイコン652などのソフト制御する必要がない場合が多い。つまり、液晶材料により、一定のシフト量などに固定しておいてもよい。重要なのは発光色材料により温特が異なっている点であり、発光色ごとに最適な温特補償を行う必要画ある点である。

【0244】また、温特補償はマイコンでおこなってもよい。温度センサでEL表示パネルの温度を測定し、測定した温度によりマイコン(図示せず)などで変化させる。また、切換時に基準電流などをマイコン制御などにより自動的に切り替えてもよいし、また、特定のメニュー表示を表示できるように制御してもよい。また、マウスなどを用いて切り替えたり、EL表示装置の表示画面をタッチパネルにし、かつメニューを表示して特定箇所を押さえることにより切り替えできるように構成してもよい。

【0245】本発明ではソースドライバは半導体シリコンチップで形成し、ガラスオンチップ(COG)技術で基板46のソース信号線18の端子と接続されている。ソース信号線18などの信号線の配線はクロム、アルミニウム、銀などの金属配線が用いられる。細い配線幅で低抵抗の配線が得られるからである。配線は画素が反射型の場合は画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。工程が簡略できるからである。

【0246】本発明はCOG技術に限定するものではなく、チップオンフィルム(COF)技術に前述のドライバIC14などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライバICは電源IC102を別途作製し、3チップ構成としてもよい。

【0247】また、TCPテープを用いてもよい。TCPテープ向けフィルムは、ポリイミド・フィルムと銅(Cu)箔を、接着剤を使わずに熱圧着することができ、接着剤を使わずにポリイミド・フィルムにCuを付けるTCPテープ向けフィルムにはこのほか、Cu箔の上に溶解したポリイミドを重ねてキャスト成型する方式と、ポリイミド・フィルム上にスパッタリングで形成した金属膜の上にCuをメッキや蒸着で付ける方式がある。

【0248】これらのいずれでもよいが、接着剤を使わずにポリイミド・フィルムにCuを付けるTCPテープを用いる方法が最も好ましい。30 μ m以下のリード・ピッチには、接着剤を使わないCuはり積層板に対応する。接着剤を使わないCuはり積層板のうち、Cu層をメッキや蒸着で形成する方法はCu層の薄型化に適しているため、

リード・ピッチの微細化に有利である。

【0249】一方、ゲートドライバ回路12は低温ポリシリコン技術で形成している。つまり、画素のTFTと同一のプロセスで形成している。これは、ソースドライバ14と比較して内部の構造が容易で、動作周波数も低いためである。

【0250】したがって、低温ポリシリコン技術で形成しても容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ12をシリコンチップで形成し、COG技術などを用いて基板46上に実装してもよいことは言うまでもない。また、画素TFT、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成(有機TFT)してもよい。

【0251】ゲートドライバ12はゲート信号線17a用のシフトレジスタ22aと、ゲート信号線17b用のシフトレジスタ22bとを内蔵する。各シフトレジスタ22は正相と負相のクロック信号(CLKxP、CLKxN)、スタートパルス(STx)で制御される。その他、ゲート信号線の出力、非出力を制御するイネーブル(ENABL)信号、シフト方向を上下逆転するアップダウン(UPDWM)信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。

【0252】なお、シフトレジスタのシフトタイミングはコントロールIC(図示せず)からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。また、検査回路を内蔵する。

【0253】シフトレジスタ22のバッファ容量は小さいため、直接にはゲート信号線17を駆動することができない。そのため、シフトレジスタ22の出力とゲート信号線17を駆動する出力ゲート24間には少なくとも2つ以上のインバータ回路23が形成されている。

【0254】ソースドライバ14を低温ポリシリコンなどのポリシリコン技術で基板46上に直接形成する場合と同様であり、ソース信号線を駆動するトランスファージゲートなどのアナログスイッチのゲートとソースドライバのシフトレジスタ間には複数のインバータ回路が形成される。以下の事項(シフトレジスタの出力と、信号線を駆動する出力段(出力ゲートあるいはトランスファージゲートなどの出力段間に配置されるインバータ回路に関する事項)は、ソースドライブおよびゲートドライブ回路に共通の事項である。

【0255】たとえば、図2ではソースドライバ14の出力が直接ソース信号線18に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファージゲートなどのアナログスイッチのゲートに接続されている。

【0256】インバータ回路23はPチャンネルのMO

SトランジスタとNチャンネルのMOSTランジスタから構成される。先にも説明したようにゲートドライバ回路12のシフトレジスタ回路22の出力端にはインバータ回路23が多段に接続されており、その最終出力が出力ゲート24に接続されている。なお、インバータ回路23はPチャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

【0257】各インバータ回路23を構成するPチャンネルまたはNチャンネルのTFTのチャンネル幅をW、チャンネル長をL（ダブルゲート以上の場合は構成するチャンネルの幅もしくはチャンネル長を加算する）とし、シフトレジスタに近いインバータの次数を1、表示側に近いインバータの次数をN（N段目）とする。

【0258】インバータ回路23の接続段数が多いと接続されているインバータ23の特性差が多重（積み重なり）され、シフトレジスタ22から出力ゲート24までの伝達時間に差が生じる（遅延時間バラツキ）。たとえば、極端な場合では、図2において出力ゲート24aは1.0μsec後（シフトレジスタからパルスが出力されてから起算して）にオンしている（出力電圧が切り替わっている）のに、出力ゲート24bは1.5μsec後（シフトレジスタからパルスが出力されてから起算して）にオンしている（出力電圧が切り替わっている）という状態が生じる。

【0259】したがって、シフトレジスタ22と出力ゲート24間に作製するインバータ回路23数は少ない方がよいが、出力ゲート24を構成するTFTのチャンネルのゲート幅Wは非常に大きい。また、シフトレジスタ22の出力段のゲート駆動能力は小さい。そのため、シフトレジスタを構成するゲート回路（NAND回路など）で直接に出力ゲート24を駆動することは不可能である。そのため、インバータを多段接続する必要があるが、たとえば、図2のインバータ23dのW4/L4（Pチャンネルのチャンネル幅/Pチャンネルのチャンネル長）の大きさと、インバータ23cのW3/L3の大きさの比が大きいと遅延時間が長くなり、また、インバータの特性がバラツキも大きくなる。

【0260】図3に遅延時間バラツキ（点線で示す）と遅延時間比（実線で示す）の関係を示す。横軸は $(W_{n-1}/L_{n-1}) / (W_n/L_n)$ で示す。たとえば、図2でインバータ23dとインバータ23cのLが同一で $2W_3 = W_4$ であれば $(W_3/L_3) / (W_4/L_4) = 0.5$ である。図3のグラフにおいて遅延時間比は $(W_{n-1}/L_{n-1}) / (W_n/L_n) = 0.5$ のときを1とし、遅延同様に時間バラツキも1としている。

【0261】図3では $(W_{n-1}/L_{n-1}) / (W_n/L_n)$ が大きくなるほどインバータ23の接続段数が多くなり遅延時間バラツキが大きくなることを示しており、また、 $(W_{n-1}/L_{n-1}) / (W_n/L_n)$ が小さくなるほど

インバータ23から次段へのインバータ23への遅延時間が長くなることを示している。このグラフから遅延時間比および遅延時間バラツキを2以内にすることが設計上有利である。したがって、次式の条件を満足させればよい。

$$【0262】 0.25 \leq (W_{n-1}/L_{n-1}) / (W_n/L_n) \leq 0.75$$

また、各インバータ23のPチャンネルのW/L比（ W_p/L_p ）とnチャンネルのW/L比（ W_s/L_s ）とは以下の関係を満足させる必要がある。

$$【0263】 0.4 \leq (W_s/L_s) / (W_p/L_p) \leq 0.8$$

さらに、シフトレジスタの出力端から出力ゲート（あるいはトランスファゲート）間に形成するインバータ23の段数nは次式を満足させると遅延時間のバラツキも少なく良好である。

$$【0264】 3 \leq n \leq 8$$

モビリティμにも課題がある。nチャンネルトランジスタのモビリティμnは小さいとTGおよびインバータのサイズが大きくなり、消費電力等が大きくなる。また、ドライバの形成面積が大きくなる。そのため、パネルサイズが大きくなってしまふ。一方、大きいとトランジスタの特性劣化をひきおこしやすい。そのため、モビリティμnは以下の範囲がよい。

$$【0265】 50 \leq \mu n \leq 150$$

また、シフトレジスタ22内のクロック信号のスルーレートは、500V/μsec以下にする。スルーレートが高いとnチャンネルトランジスタの劣化が激しい。

【0266】なお、図2でシフトレジスタの出力にはインバータ23を多段に接続するとしたが、NAND回路でもよい。NAND回路でもインバータを構成することができるからである。つまり、インバータ23の接続段数とはゲートの接続段数と考えればよい。この場合もいままで説明したW/L比等の関係が適用される。

【0267】図1で図示した構成ではEL素子15のカソードはVs1電位に接続されている。しかし、各色を構成する有機ELの駆動電圧が異なるという問題がある。たとえば、単位平方センチメートルあたり0.01(A)の電流を流した場合、青(B)ではEL素子の端子電圧は5(V)であるが、緑(G)および赤(R)では9(V)である。つまり、端子電圧が、BとG、Rで異なる。したがって、BとG、Rでは保持するトランジスタ11c11dのソースドレイン電圧(SD電圧)が異なる。そのため、各色でトランジスタのソースドレイン電圧(SD電圧)間オフリーク電流が異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に相関してガンマ特性がずれるという複雑な表示状態になる。

【0268】この課題に対応するため、本発明では図5

に図示するように、少なくともR、G、B色のうち、1つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構成している。具体的には図5では、Bをカソード電極53aとし、GとRをカソード電極53bとしている。

【0269】カソード電極53aは、各色の有機ELを塗り分けたメタルマスク技術を用いて形成する。メタルマスクを用いるのは、有機ELが水に弱くエッチングなどを行うことができないからである。メタルマスク（図示せず）を用いて、カソード電極53aを蒸着し、同時にコンタクトホール52aで接続を取る。コンタクトホール52aによりBカソード配線51aと電気的接続を取ることができる。

【0270】カソード電極53bも同様に、各色の有機ELを塗り分けたメタルマスク技術を用いて形成する。メタルマスク（図示せず）を用いて、カソード電極53bを蒸着し、同時にコンタクトホール52bで接続を取る。コンタクトホール52bによりRGカソード配線51bと電気的接続を取ることができる。なお、カソード電極のアルミ膜厚は70nm以上200nm以下となるように形成するとよい。

【0271】以上の構成により、カソード電極51aと51bには異なる電圧を印加することができるから、図1のVdd電圧が各色共通であっても、RGBのうち、少なくとも1色のELに印加する電圧を変化させることができる。なお、図5ではRGでは同一のカソード電極53bとしたがこれに限定するものではなく、RとGで異なるカソード電極となるように構成してもよい。

【0272】以上のように構成することにより、各色でトランジスタのソースドレイン電圧（SD電圧）間のオフリーク電流が発生、キック現象を防止することができる。したがって、フリッカが発生なく、発光色に相関してガンマ特性がずれるということもなく、良好な画像表示を実現できる。

【0273】また、図1のVs1をカソード電圧とし、このカソード電圧を各色で異なるようにするとしたがこれに限定するものではなく、アノード電圧Vddを各色で異なるように構成してもよいことは言うまでもない。たとえば、Rの画素のVddを電圧8（V）にし、Gを6（V）、Bを10（V）とする構成である。これらのアノード電圧、カソード電圧は±1（V）の範囲で調整できるように構成することが好ましい。

【0274】パネルサイズが2インチ程度であっても、Vddと接続されるアノードからは100mA近く電流が出力される。そのため、アノード配線20（電流供給線）の低抵抗化は必須である。この課題に対応するため、本発明では図6で図示するようにアノード63配線を表示領域の上側と下側から供給している（両端給電）。以上のように両端給電することにより画面の上下での輝度傾斜の発生がなくなる。

【0275】発光輝度を高めるためには画素48を粗面化するとよい。この構成を図7に示す。まず、画素電極48を形成する箇所にスタンパ技術を用いて微細な凹凸を形成する。画素が反射型の場合は、スパッタリング法で約200nmのアルミニウムの金属薄膜を形成して画素電極48を形成する。画素電極48が有機ELと接する箇所には凸部が設けられ、粗面化される。なお、単純マトリクス型表示パネルの場合は、画素電極48はストライプ状電極状とする。また、凸部は凸状だけに限定するものではなく、凹状でもよい。また、凹と凸とを同時に形成してもよい。

【0276】突起の大きさは直径4μm程度にして隣接間距離の平均値を10μm、20μm、40μmにして、それぞれ突起の単位面積密度を1000から1200個/平方ミリメートル、100から120個/mm²、600から800個/平方ミリメートルとして輝度測定を行った。すると、突起の単位面積密度が大きくなるほど発光輝度が強くなることがわかった。したがって、画素電極48上の突起の単位面積密度を変えることで、画素電極の表面状態を変えて発光輝度を調整できることがわかった。検討によれば、突起の単位面積密度を800個/平方ミリメートル以下100個/平方ミリメートル以下で良好な結果を得ることができた。

【0277】有機ELは自己発光素子である。この発光による光がスイッチング素子としてのTFTに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりTFTなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【0278】この課題に対処するため、本発明では図9に示すようにゲートドライバ12（場合によってはソースドライバ14）の下層、画素トランジスタ11の下層の遮光膜91を形成している。遮光膜91はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のTFT11A1のパターンニングが困難になる。

【0279】遮光膜91上に20以上100nm以下の無機材料からなる平滑化膜71aを形成する。この遮光膜91のレイヤーを用いて蓄積容量19の一方の電極を形成してもよい。この場合、平滑膜71aは極力薄く作り蓄積容量の容量値を大きくすることが好ましい。また遮光膜91をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜91の表面に形成し、この酸化シリコン膜を蓄積容量19の誘電体膜として用いてもよい。平滑化膜71b上にはHA構造の画素電極が形成される。

【0280】ドライバ回路12などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ12な

どの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

【0281】しかし、ドライバ12の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電氣的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路12などの上に少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。

【0282】基本的に有機EL膜は絶縁物であるから、ドライバ上に有機EL膜を形成することにより、カソードとドライバ間が隔離される。したがって、前述の課題を解消することができる。

【0283】一方、カソード電極が透明電極の場合は、透明電極のシート抵抗値が問題となる。透明電極は高抵抗であるが、有機ELのカソードには高い電流密度で電流を流す必要がある。したがって、ITO膜の単層でカソード電極を形成すると発熱により加熱状態となり、表示画面に極度の輝度傾斜が発生したりする。

【0284】この課題に対応するため、カソード電極の表面に金属薄膜からなる低抵抗化配線92を形成している。低抵抗化配線92は液晶表示パネルのブラックマトリックス(BM)と同様の構成(クロムまたはアルミ材料で50nm~200nmの膜厚)で、かつ同様の位置(画素電極間、ドライバ12の上など)である。しかし、有機ELではBMを形成する必要はないから機能は全く異なる。なお、低抵抗化配線92は透明電極72の表面に限定するものではなく、裏面(有機EL膜と接する面)に形成してもよい。

【0285】図10は有機ELモジュールの構成図である。プリント基板103にはコントロールIC101と電源IC102が実装されている。プリント基板103とアレイ基板49とはフレキシブル基板104で電氣的に接続される。このフレキシブル基板104を介して電源電圧、電流、制御信号、映像データがアレイ基板49のソースドライバ14およびゲートドライバ12に供給される。

【0286】この際問題となるのは、ゲートドライバ12の制御信号である。ゲートドライバ12には少なくとも5(V)以上の振幅の制御信号を印加する必要がある。しかし、コントロールIC101の電源電圧は2.5(V)あるいは3.3(V)であるため、コントロールIC101から直接にゲートドライバ12に制御信号を印加することができない。

【0287】この課題に対して、本発明は高い電圧で駆動される電源IC102からゲートドライバ12の制御信号を印加する。電源IC102はゲートドライバ12の動作電圧も発生させるのであるから、当然ながらゲートドライバ12に最適な振幅の制御信号を発生させることができる。

【0288】図11ではゲートドライバ12の制御信号はコントロールICで発生させ、ソースドライバ14で一旦、レベルシフトを行った後、ゲートドライバ12に印加している。ソースドライバ14の駆動電圧は5~8(V)であるから、コントロールIC101から出力された3.3(V)振幅の制御信号を、ゲートドライバ12が受け取れる5(V)振幅に変換することができる。

【0289】図14、図15は本発明の表示モジュール装置の説明図である。図14はソースドライバ14内に内蔵RAM151を持たせた構成である。内蔵RAMは8色表示(各色1ビット)、256色表示(RGは3ビット、Bは2ビット)、4096色表示(RGBは各4ビット)の容量を有する。この8色、256色または4096色表示で、かつ静止画の時は、ソースドライバ14内に配置されたドライバコントローラはこの内蔵RAM151の画像データを読み出す。したがって、超低消費電力化を実現できる。もちろん、内蔵RAM151は26万色以上の多色のRAMであってもよい。また、動画の時も内蔵RAM151の画像データを用いてもよい。

【0290】内蔵RAM151の画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。誤差拡散処理、ディザ処理などを行うことにより、26万色表示データを4096色などに交換することができる。誤差拡散処理などは誤差拡散コントローラ141で行うことができる。

【0291】なお、図14などにおいて14をソースドライバと記載したが、単なるドライバだけでなく、電源回路102、バッファ回路154(シフトレジスタなどの回路を含む)、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、内蔵RAM151からの入力処理してソース信号線に電圧あるいは電流を出力するさまざまな機能あるいは回路が構成されたものである。この事項などは、本発明の他の実施例でも同様である。

【0292】フレームレートはパネルモジュールの消費電力と関係する。つまり、フレームレートを高くすればほぼ比例して消費電力は増大する。携帯電話などは待ち受け時間を長くするなどの観点から消費電力の低減を図る必要がある。一方、表示色を多くする(階調数を多くする)ためにはソースドライバIC14などの駆動周波数を高くしなければならない。しかし、消費電力の問題から消費電力を増大させることは困難である。

【0293】一般的に、携帯電話などの情報表示装置では、表示色数よりも低消費電力化が優先される。表示色数を増加させる回路の動作周波数が高くなる、あるいはEL素子に印加する電圧(電流)波形の変化が多くなるなど理由から、消費電力が増加する。したがって、あまり表示色数を多くすることはできない。この課題に対し

て、本発明は画像データを誤差拡散処理あるいはディザ処理を行って画像を表示する。

【0294】図19で説明した本発明の携帯電話では図示していないが、筐体の裏側にCCDカメラを備えている。CCDカメラで撮影し画像は即時に表示パネルの表示画面21に表示できる。CCDカメラで撮影したデータは、表示画面21に表示することができる。CCDカメラの画像データは24ビット(1670万色)、18ビット(26万色)、16ビット(6.5万色)、12ビット(4096色)、8ビット(256色)をキー入力265で切り替えることができる。

【0295】表示データが12ビット以上の時は、誤差拡散処理を行って表示する。つまり、CCDカメラからの画像データが内蔵メモリの容量以上の時は、誤差拡散処理などを実施し、表示色数を内蔵メモリ151の容量以下となるように画像処理を行う。

【0296】今、ソースドライバIC14には4096色(RGB各4ビット)で1画面の内蔵RAM151を具備しているとして説明する。モジュール外部から送られてくる画像データが4096色の場合は、直接ソースドライバIC14の内蔵RAM151に格納され、この内蔵RAM151から画像データを読み出し、表示画面21に画像を表示する。

【0297】画像データが26万色(G:6ビット、R、B:5ビットの計16ビット)の場合は、図14および図15に示すように誤差拡散コントローラ141の演算メモリ152に一旦格納され、かつ同時に誤差拡散あるいはディザ処理を行う演算回路153で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理などにより16ビットの画像データは内蔵RAM151のビット数である12ビットに変換されてソースドライバIC14に転送される。ソースドライバIC14はRGB各4ビット(4096色)の画像データを出力し、表示画面21に画像を表示する。

【0298】また、図15の構成などにおいて、垂直同期信号VDを用いて(垂直同期信号VDで処理方法を変化させて)、フィールドあるいはフレームごとに誤差拡散処理あるいはディザ処理方法を変化させてもよい。たとえば、ディザ処理では、第1フレームでBayer型を用い、次の第2フレームではハーフトーン型を用いるなどである。このようにフレームごとにディザ処理を変化させ、切り替えるようにすることにより誤差拡散処理などに伴うドットむらが目立ちにくくなるという効果が発揮される。

【0299】また、第1フレームと第2フレームで誤差拡散処理などの処理係数を変化させてもよい。また、第1フレームで誤差拡散処理をし、第2フレームでディザ処理をし、さらに第3フレームで誤差拡散処理をするなど処理とを組み合わせてもよい。また、乱数発生回路を具備し、乱数の値でフレームごとに処理を実施する処理

方法を選択してもよい。

【0300】フレームレートなどの情報を伝送されるフォーマットに記載するようしておけば、この記載されたデータをデコードあるいは検出することにより、自動でフレームレートなどを変更できるようになる。特に、伝送されてくる画像が動画か静止画かを記載しておくことが好ましい。また、動画場合は、動画の1秒あたりのコマ数を記載しておくことが好ましい。また、伝送パケットに携帯電話の機種番号を記載しておいたりしておくことが好ましい。なお、本明細書では伝送パケットとして説明するがパケットである必要はない。つまり、送信あるいは発信するデータ中に図18などで説明する情報(表示色数、フレームレートなど)が記載されたものであればいずれでもよい。

【0301】図17は本発明の携帯電話などに送られてくる伝送フォーマットである。伝送とは受信するデータと、送信するデータの双方を含む。つまり、携帯電話は受話器からの音声あるいは携帯電話に付属のCCDカメラで撮影した画像を他の携帯電話などに送信する場合もあるからである。したがって、図18などで説明する伝送フォーマットなどに関連する事項は送信、受信の双方に適用される。

【0302】本発明の携帯電話などではデータはデジタル化されてパケット形式で伝送される。図16および図17で記載しているように、フレームの中は、フラグ部(F)、アドレス部(A)、コントロール部(C)、情報部(I)、フレームチェックシーケンス(FCS)及びフラグ部(F)からなる。コントロール部(C)のフォーマットは図のように情報転送(Iフレーム)、関し(Sフレーム)、及び非番号制(Uフレーム)の3つの形式をとる。

【0303】まず、情報転送形式は情報(データ)を転送する時に使用するコントロールフィールドの形式で、非番号性形式の一部を除けば、情報転送形式がデータフィールドを有する唯一の形式である。この形式によるフレームを情報フレーム(Iフレーム)という。

【0304】また、監視形式は、データリンクの監視制御機能、すなわち情報フレームの受信確認、情報フレームの再送要求などを行うために使用する形式である。この形式によるフレームを、監視フレーム(Sフレーム)という。

【0305】次に非番号制形式は、その他のデータリンク制御機能を遂行するために使用するコントロールフィールドの形式で、この形式によるフレームを非番号制フレーム(Uフレーム)という。

【0306】端末及び網は送受信する情報フレームを送信シーケンス番号(S)と受信シーケンスN(R)で管理する。N(S)、N(R)とも3ビットで構成され、0~7までの8個を循環番号として使い、7の次は0となるモジュラス構成をとっている。したがって、この場

合のモジュラスは8であり、応答フレームを受信せず
に、連続送信できるフレーム数は7である。

【0307】データ領域には色数データを示す8ビット
のデータとフレームレートを示す8ビットのデータが記
載される。これらの例を図18(a)(b)に示す。ま
た、表示色の色数には静止画と動画の区別を記載して
おくことが好ましい。また、携帯電話の機種名、送受信
する画像データの内容(人物などの自然画、メニュー画
面)などを図17のパケットに記載しておくことが望ま
しい。

【0308】データを受け取った機種はデータをデコ
ードし、自身(該当機種番号)のデータであるとき、記載
された内容によって、表示色、フレームレートなど自動
的に変更する。また、記載された内容を表示装置の表示
領域21に表示するように構成してもよい。ユーザーは
画面21の記載内容(表示色、推奨フレームレート)を
見て、キーなどを操作し、最適な表示状態にマニュアル
で変更する。

【0309】なお、一例として、図18(b)では数値
の3はフレームレート80Hzと一例をあげて記載して
いるがこれに限定するものではなく、40-60Hzな
どの一定範囲を示すものであってもよい。また、データ
領域に携帯電話の機種などを記載しておいてもよい。機
種により性能などが異なり、フレームレートを変化させ
る必要も発生するからである。また、画像が漫画であ
るか、宣伝(CM)であるとかの情報を記載しておく
ことも好ましい。また、パケットに視聴料金の情報を
記載する。パケット長などの情報を記載しておいても
よい。ユーザーは視聴料金の確認して情報を受信する
か否かを判断する。また、画像データが誤差拡散処理
をされているか否かのデータも記載しておくことが好
ましい。

【0310】また、画像処理方法(誤差拡散処理、ディ
ザ処理などの種別、重み付け関数の種類とそのデータ、
ガンマの係数など)、機種番号などの情報を伝送され
るフォーマットに記載するようにしておけばよい。また、
画像データがCCDで撮影されたデータとか、JPEG
データか、またその解像度、MPEGデータか、BIT
MAPデータかなどの情報を記載しておく。この記載さ
れたデータをデコードあるいは検出することにより、自
動で受信した携帯電話などで最適な状態に変更できる
ようになる。

【0311】もちろん、伝送されてくる画像が動画か静
止画かを記載しておくことが好ましい。また、動画の場
合は、動画の1秒あたりのコマ数を記載しておくことが
好ましい。また、受信端末で推奨する再生コマ数/秒な
どの情報も記載しておくことが好ましい。

【0312】以上の事項は、伝送パケットが送信の場合
でも同様である。また、本明細書では伝送パケットとし
て説明するがパケットである必要はない。つまり、送信
あるいは発信するデータ中に図18などで説明する情報

が記載されたものであればいずれでもよい。

【0313】誤差拡散処理コントローラ141は、誤差
処理されて送られてきたデータを、逆誤差拡散処理を行
い、元データにもどしてから再度、誤差拡散処理を行う
機能を付加することが好ましい。誤差拡散処理の有無は
図17のパケットデータに載せておく。また、誤差拡散
(ディザなどの方式も含む)の処理方法、形式など逆誤
差拡散処理に必要なデータも載せておく。

【0314】逆誤差拡散処理を実施するのは、誤差拡散
処理はその処理の過程において、ガンマカーブの補正も
実現できるからである。データを受けたEL表示装置な
どのガンマカーブと、送られてきたガンマカーブとが適
応しない場合がある。また、送信されてきたデータは
誤差拡散などの処理がすでに実施された画像データであ
る場合がある。

【0315】この事態に対応するために、逆誤差拡散処
理を実施し、元データに変換してガンマカーブ補正の影
響がないようにする。その後、受信したEL表示装置な
どで誤差拡散処理を行い、受信表示パネルに最適なガン
マカーブになり、かつ最適な誤差拡散処理となるように
誤差拡散処理などを実施する。

【0316】また、表示色により、フレームレートを切
り替えたい場合は、携帯電話などの装置にユーザボタン
と配置し、ボタンなどを用いて表示色などを切り替えら
れるようにすればよい。

【0317】図19は情報端末装置の1例としての携帯
電話の平面図である。筐体193にアンテナ191、テ
ンキー192などが取り付けられている。194などが
表示色切換キーあるいは電源オンオフ、フレームレート
切換キーである。

【0318】携帯電話などの内部回路ブロックを図20
に示す。回路は主としてアップコンバータ205とダウ
ンコンバータ204のブロック、デプレクサ201の
ブロックLOバッファ203などのブロックから構成さ
れる。

【0319】キー194を1度押さえると表示色は8色
モードに、つづいて同一キー194を押さえると表示色
は256色モード、さらにキー194を押さえると表示
色は4096色モードとなるようにシーケンスを組んで
もよい。キーは押さえるごとに表示色モードが変化する
トグルスイッチとする。なお、別途表示色に対する変更
キーを設けてもよい。この場合、キー194は3つ(以
上)となる。

【0320】キー194はプッシュスイッチの他、スラ
イドスイッチなどの他のメカニカルなスイッチでもよ
く、また、音声認識などにより切替るものでもよい。た
とえば、4096色を受話器に音声入力すること、たと
えば、「高品位表示」、「256色モード」あるいは
「低表示色モード」と受話器に音声入力することにより
表示パネルの表示画面21に表示される表示色が変化する。

るように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

【0321】また、表示色の切換は電氣的に切換るスイッチでもよく、表示パネルの表示部21に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。

【0322】194は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に(連続的に)フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサC、抵抗Rのうち、抵抗Rを可変抵抗にしたり、電子ポリウムにしたりすることにより実現できる。

【0323】また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

【0324】なお、表示色などによりフレームレートを切換るという技術的思想は携帯電話に限定されるものではなく、パームトップコンピュータや、ノートパソコン、デスクトップパソコン、携帯時計など表示画面を有する機器に広く適用することができる。また、液晶表示装置(液晶表示パネル)に限定されるものではなく、液晶表示パネル、有機ELパネルや、TFTパネル、PLZTパネルや、CRTにも適用することができる。

【0325】本発明の実施例で説明した技術的思想は、ビデオカメラ、液晶プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、PDA、PHS、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。

【0326】また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、液晶腕時計およびその表示装置にも適用できる。さらに、家庭電器機器の液晶表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトなどにも適用あるいは応用展開できることは言うまでもない。

【0327】

【発明の効果】以上のように、本発明により、作製されたアレイ基板または表示パネルの検査あるいは評価を容易に実現できるため信頼性の高い表示装置を提供できる。

【0328】また、本発明の表示パネル、表示装置等は、高画質、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【0329】なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。したがって、地球環境、宇宙環境に優しいこととなる。

【図面の簡単な説明】

【図1】本発明の表示パネルの回路構成図

【図2】本発明の表示装置の回路構成図

【図3】本発明の表示装置の説明図

【図4】本発明の表示装置の断面図

【図5】本発明の表示装置の説明図

【図6】本発明の表示装置の説明図

【図7】本発明の表示装置の断面図

【図8】本発明の表示装置の断面図

【図9】本発明の表示装置の断面図

【図10】本発明の表示装置の構成図

【図11】本発明の表示装置の構成図

【図12】従来の表示パネルの回路構成図

【図13】本発明の表示パネルの説明図

【図14】本発明の表示装置の説明図

【図15】本発明の表示装置の説明図

【図16】本発明の表示装置のデータ伝送方法の説明図

【図17】本発明の表示装置のデータ伝送方法の説明図

【図18】本発明の表示装置のデータ伝送方法の説明図

【図19】本発明の情報表示装置の平面図

【図20】本発明の情報表示装置の説明図

【図21】本発明の表示パネルの説明図

【図22】本発明の表示パネルの説明図

【図23】本発明の検査方法の説明図

【図24】本発明の検査方法の説明図

【図25】本発明の検査装置の説明図

【図26】本発明の検査方法の説明図

【図27】本発明の検査方法の説明図

【図28】本発明の検査方法の説明図

【図29】本発明の検査方法の説明図

【図30】本発明の検査方法の説明図

【図31】本発明の検査方法の説明図

【図32】本発明の検査方法の説明図

【図33】本発明のソースドライバの説明図

【図34】本発明の検査方法の説明図

【図35】本発明の表示パネルの説明図

【図36】本発明の検査方法の説明図

【図37】本発明の表示パネルの説明図

【図38】本発明の表示パネルの説明図

【図39】本発明の表示パネルの説明図

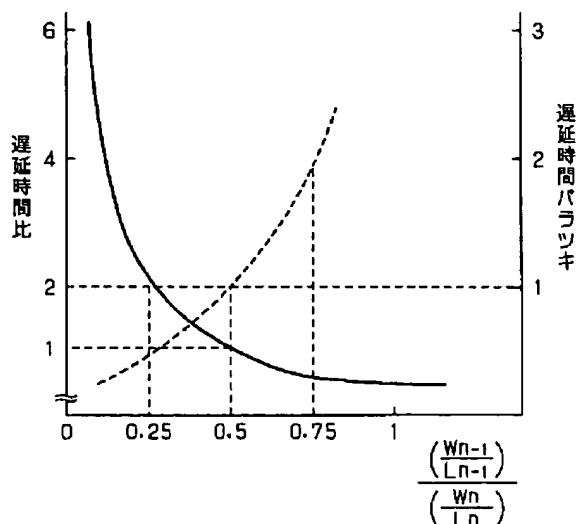
【符号の説明】

11 TFT

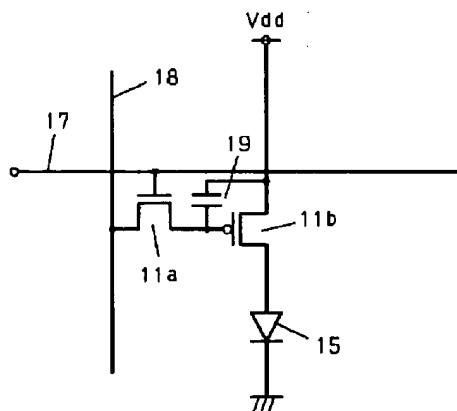
12 ゲートドライバ

- | | |
|-------------------------------------|----------------------|
| 14 ソースドライバ | 102 電源IC |
| 15 EL素子 | 103 プリント基板 |
| 16 画素 | 104 フレキシブル基板 |
| 17 ゲート信号線 | 105 データ信号 |
| 18 ソース信号線 | 141 誤差拡散コントローラ |
| 19 キャパシタ (蓄積容量、コンデンサ) | 151 内蔵表示メモリ |
| 20 電流供給線 (電力供給線、電圧供給線) | 152 演算メモリ |
| 21 表示領域 (表示画面、有効表示領域) | 153 演算回路 |
| 41 封止フタ (封止材) | 154 バッファ回路 |
| 43, 44 凸部 | 191 アンテナ |
| 45 シール剤 (材) | 192 テンキー |
| 46 反射膜 | 193 筐体 |
| 47 有機EL (EL素子) | 194 ボタン |
| 48 画素電極 | 201 デュプレクサ |
| 49 アレイ基板 | 202 LNA |
| 50 $\lambda/4$ 板 ($\lambda/4$ シート) | 203 LOバッファ |
| 51 カソード配線 | 204 ダウンコンバータ |
| 52 コンタクト | 205 アップコンバータ |
| 53 カソード | 206 PAアプドライバ |
| 54 偏光板 | 207 PA |
| 55 乾燥剤 (乾燥材、吸湿手段) | 231 ガラス基板 |
| 61, 62 接続端子 | 232 ショートリング |
| 63 アノード | 241 切断部 |
| 71 平滑化膜 | 242 端子電極 |
| 72 透明電極 | 251 プローブ |
| 73 封止膜 | 252 観察者 (光学的検出手段) |
| 74 円偏光板 | 253 信号源 (電圧または電流源) |
| 81 エッジ保護膜 | 331 映像信号線 |
| 91 遮光膜 | 332 スイッチ制御手段 |
| 92 低抵抗化配線 (金属膜) | 333 トランスファージェット (TG) |
| 101 コントロールIC | 334 アナログスイッチ |

【図3】

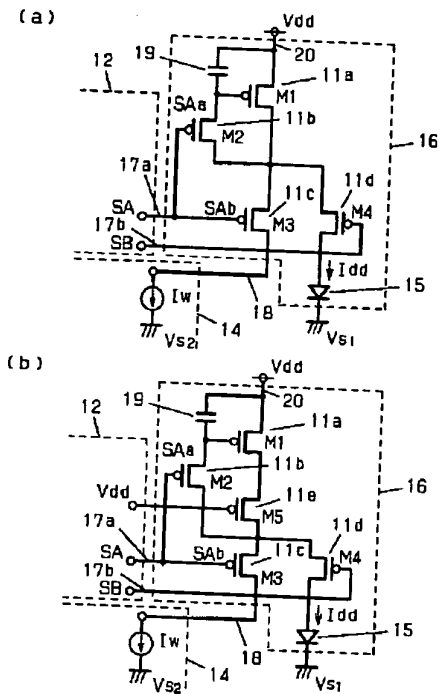


【図12】



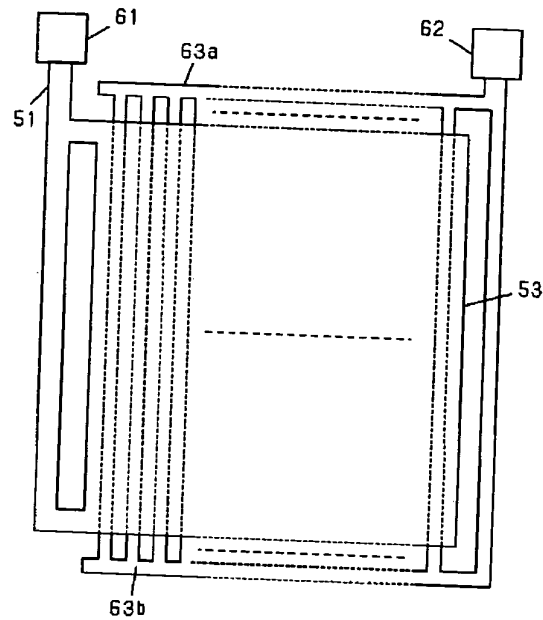
【図1】

- 11 TFT
12 ゲートドライバ
14 ソースドライバ
15 ELS素子
16 画素
17 ゲート信号線
18 ソース信号線
19 キャパシタ (コンデンサ)
20 電流供給線



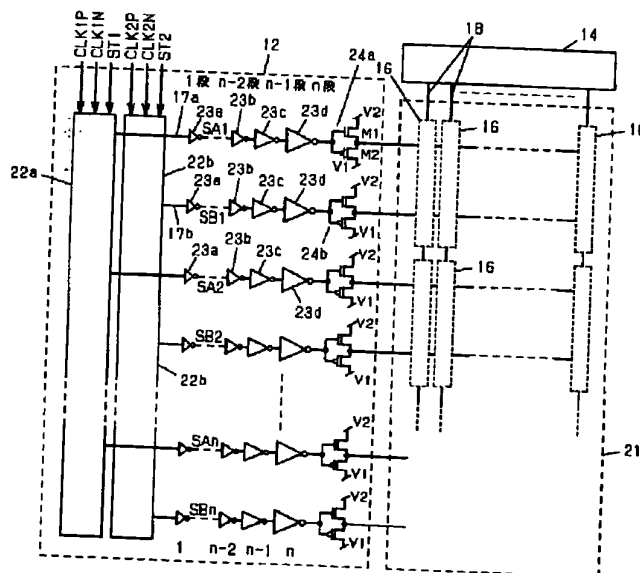
【図6】

- 61, 62 接続端子
63 アノード



【図18】

【図2】



- 21 表示領域
22 シフトレジスタ
23 インバータ
24 出力ゲート

(a)

色数

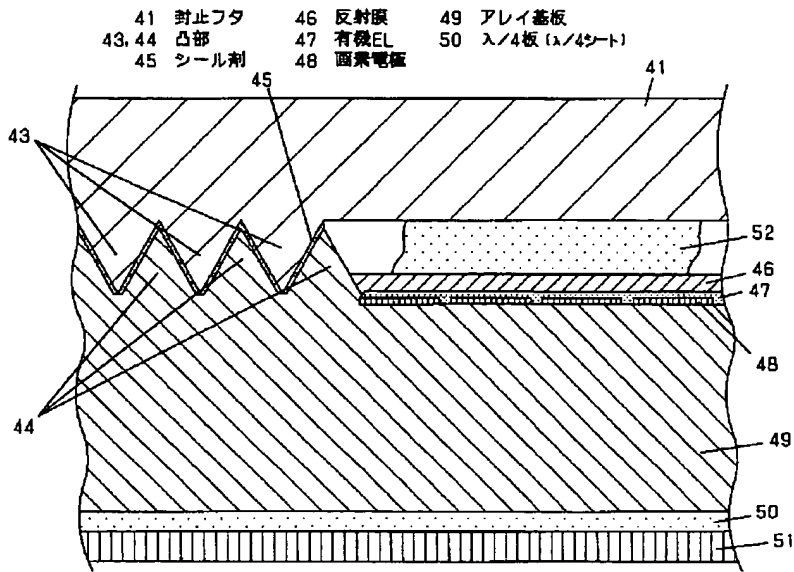
数値	表示色
0	白黒
1	8色
2	256色
3	4096色
4	65K色
5	260K色
6	フルカラー
7	予約

(b)

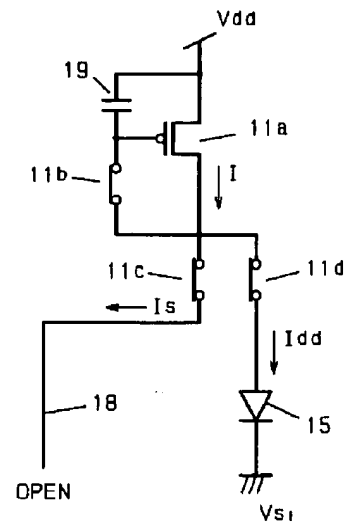
レート

数値	レート
0	20
1	40
2	60
3	80
4	100
5	120
6	160
7	予約

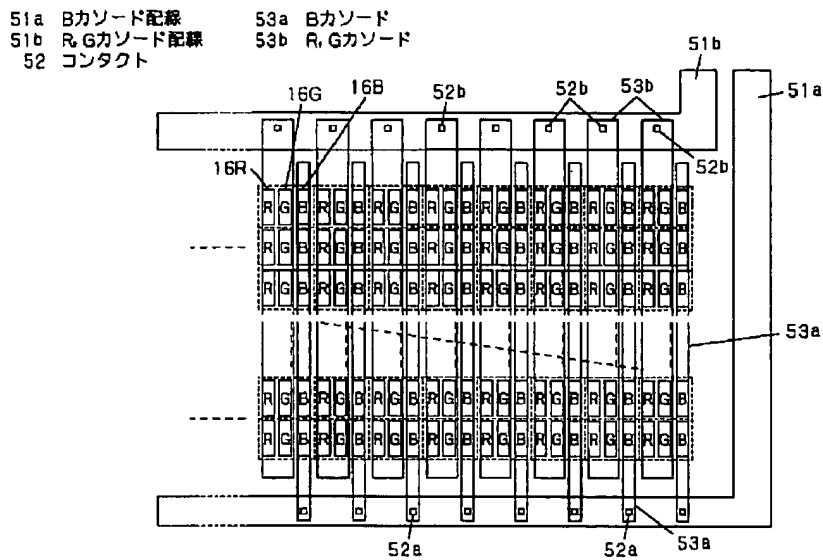
【図4】



【図26】

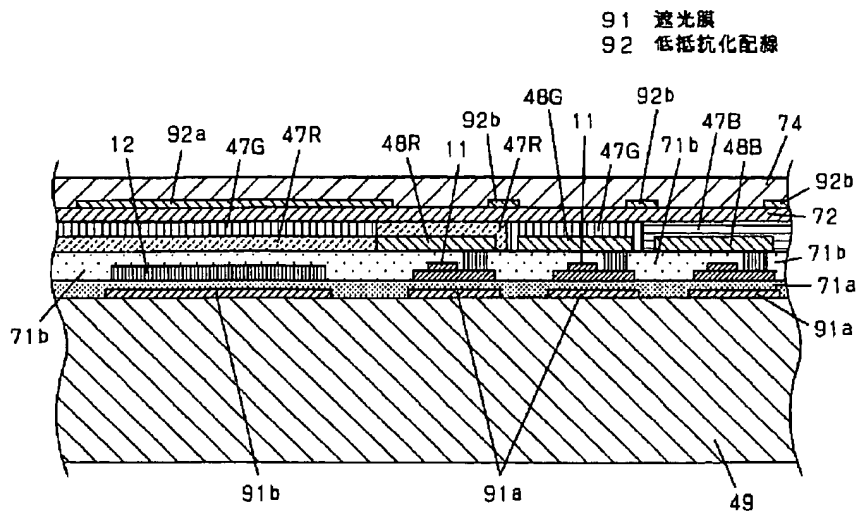


【図5】

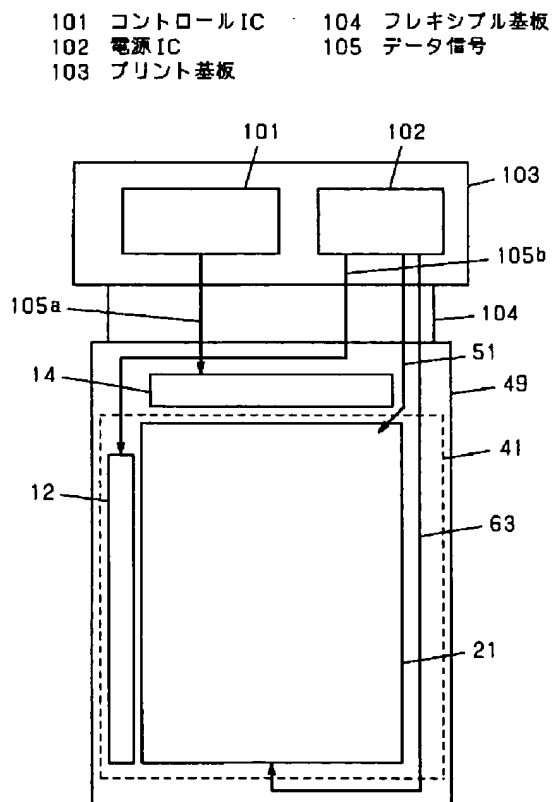


形式	ビットタケンス			b ₈	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁
情報転送形式 Iフレーム	受信順序 番号	N (R)		P	送信順序 番号			N (S)		0	
	2 ²	2 ¹	2 ⁰		2 ²	2 ¹	2 ⁰				
監視形式 Sフレーム	受信順序 番号	N (R)		P/F	監視機能 ビット			S	0	1	
	2 ²	2 ¹	2 ⁰								
非番号制形式 Uフレーム	修飾機能 ビット	M		P/F	修飾機能 ビット			M	1	1	

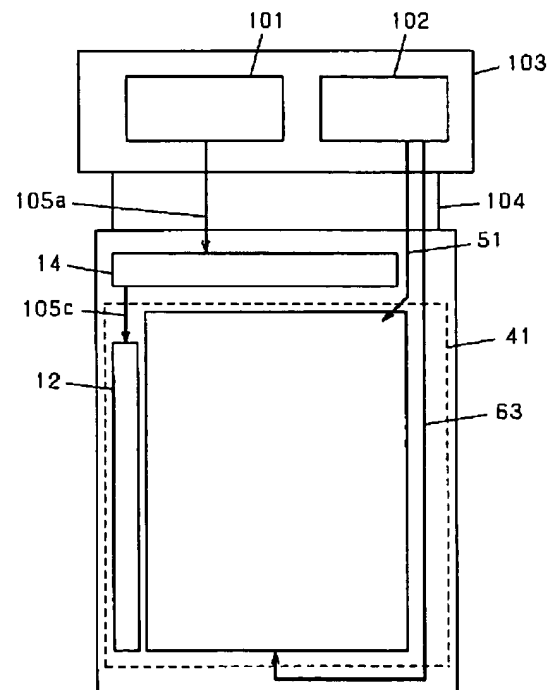
【図9】



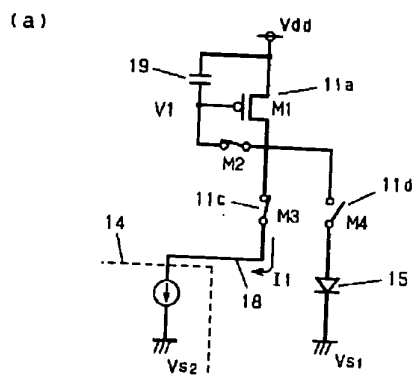
【図10】



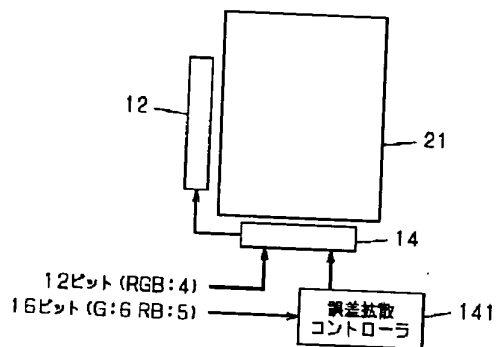
【図11】



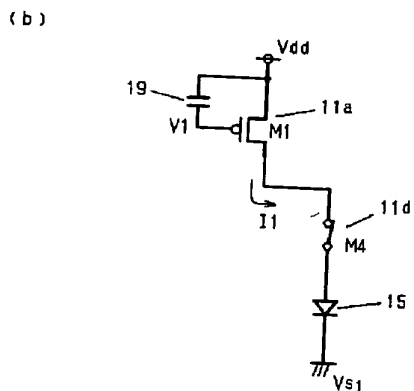
【図13】



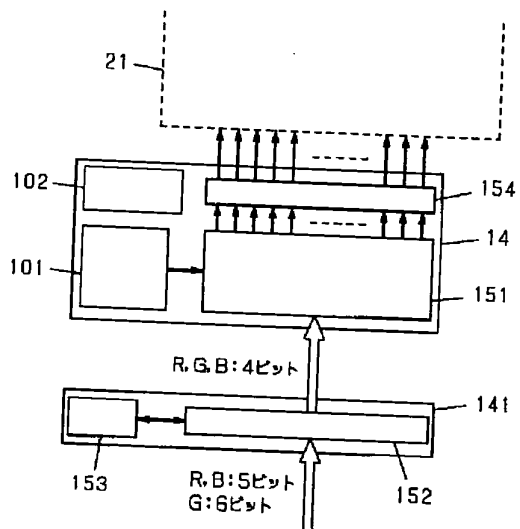
【図14】



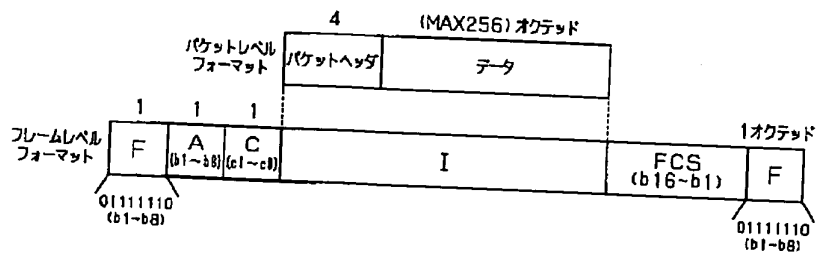
【図15】



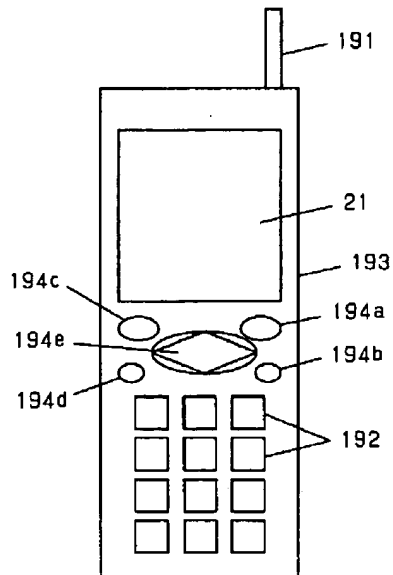
- 151 内蔵表示メモリ
152 演算メモリ
153 演算回路
154 バッファ回路



【图17】

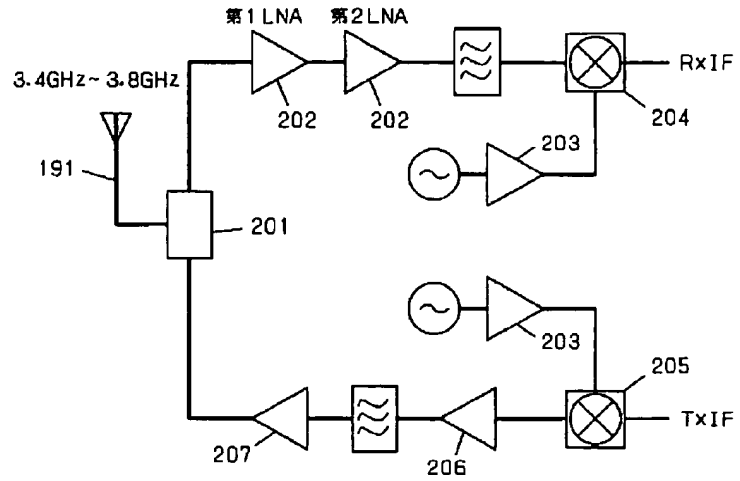


【図19】



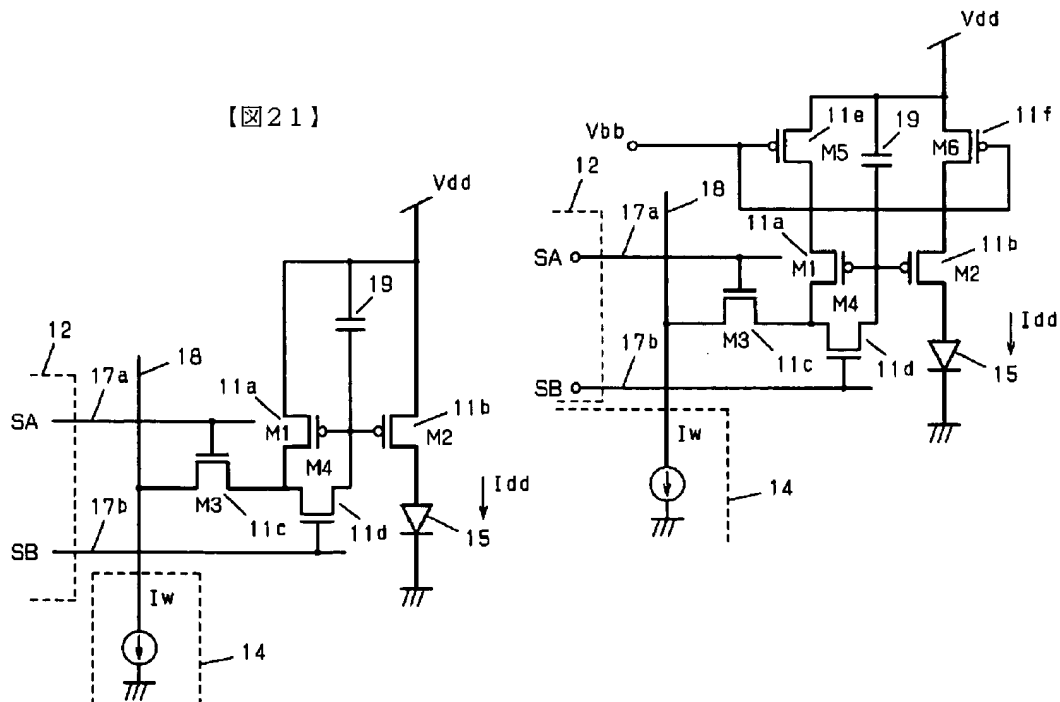
【図20】

- 191 アンテナ 201 デフレクサ 204 ダウンコンバータ 206 PAブリッドライバ
 192 テンキー 202 LNA 205 アップコンバータ 207 PA
 193 筐体 203 LOバッファ
 194 ボタン



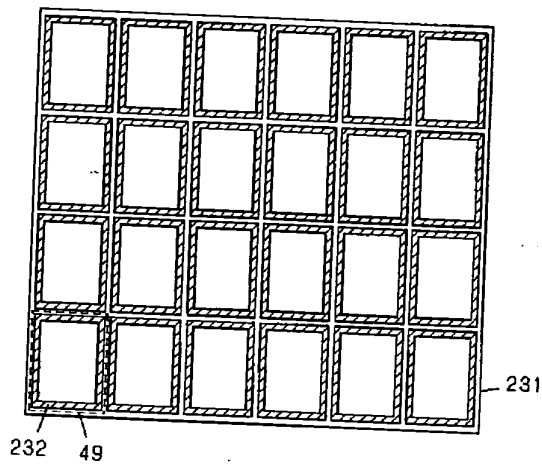
【図22】

【図21】



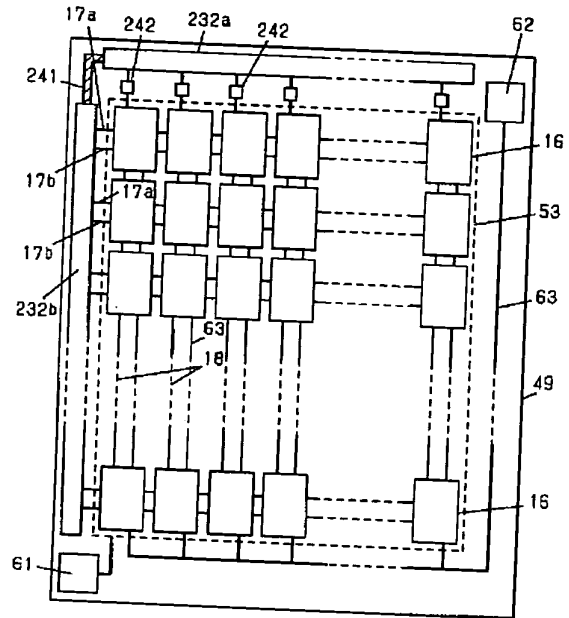
【図23】

231 ガラス基板
232 ショートリング



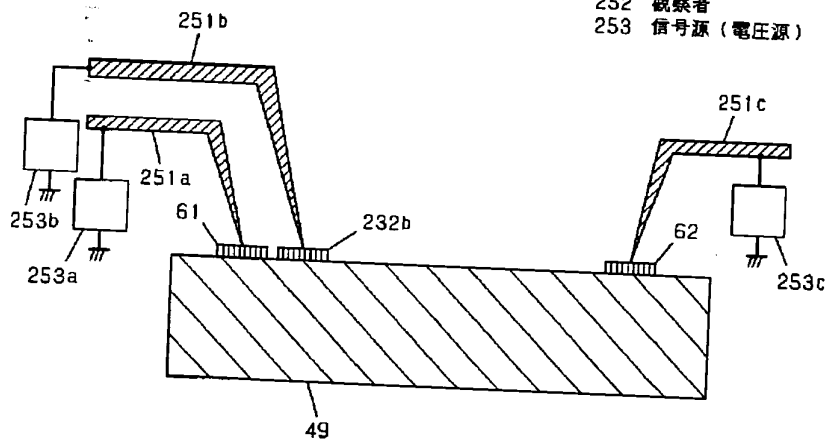
【図24】

241 切断部
242 端子電極

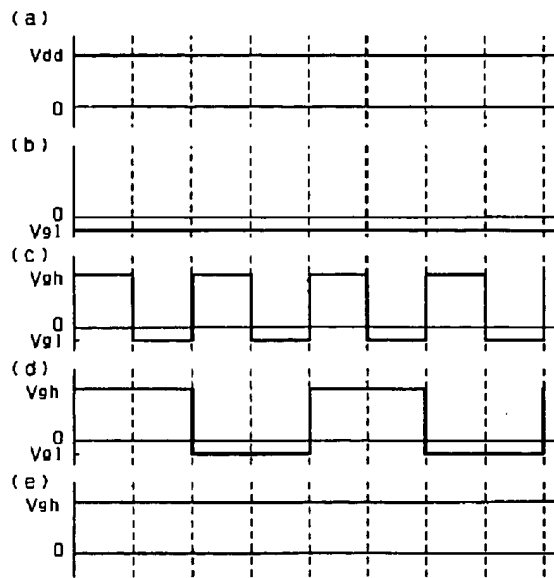


【図25】

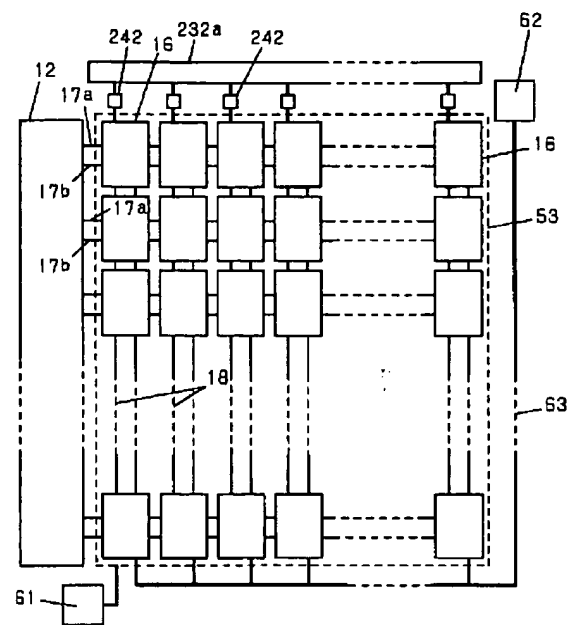
251 プローブ
252 観察者
253 信号源（電圧源）



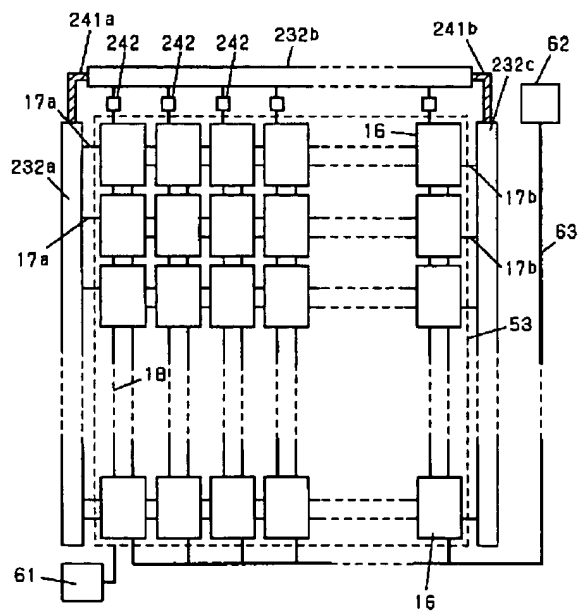
【図27】



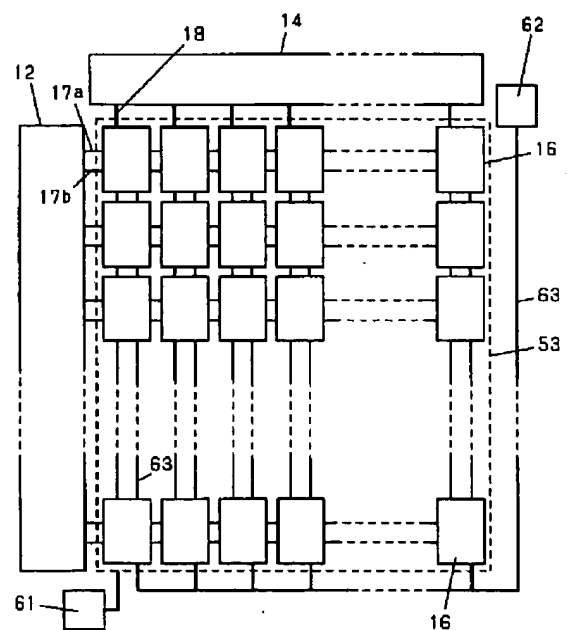
【図28】



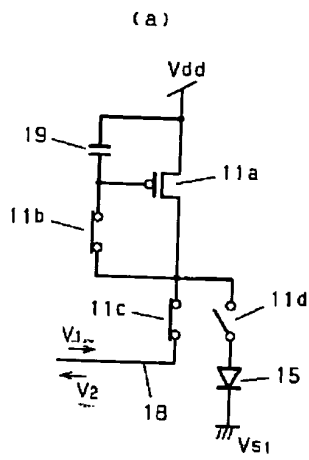
【図29】



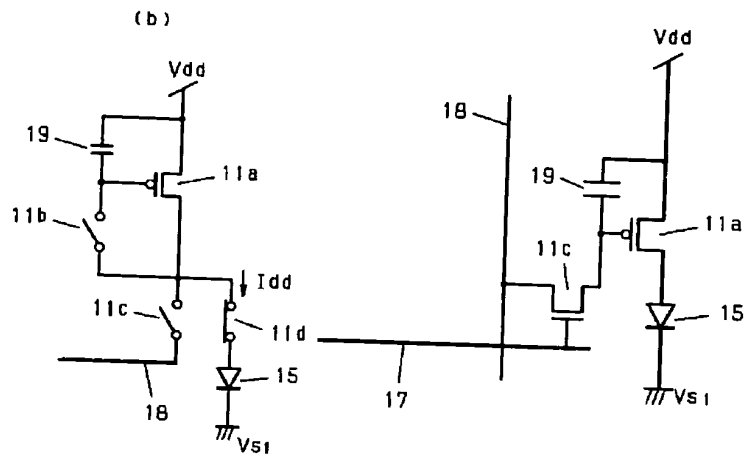
【図32】



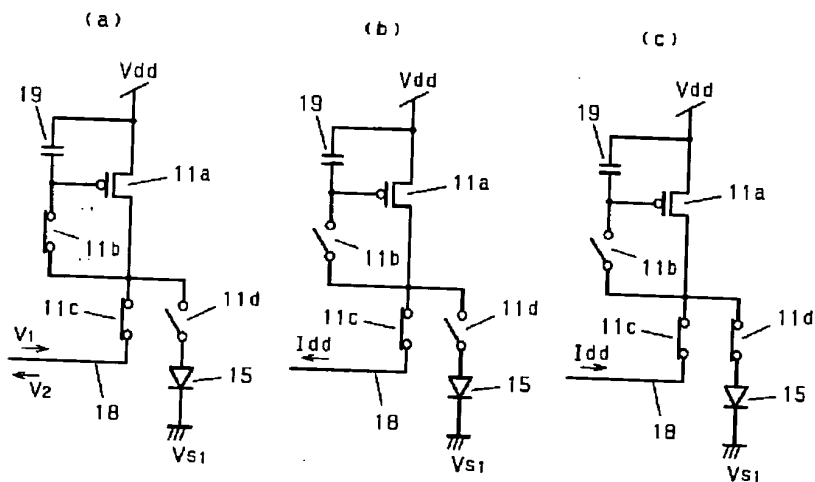
【図30】



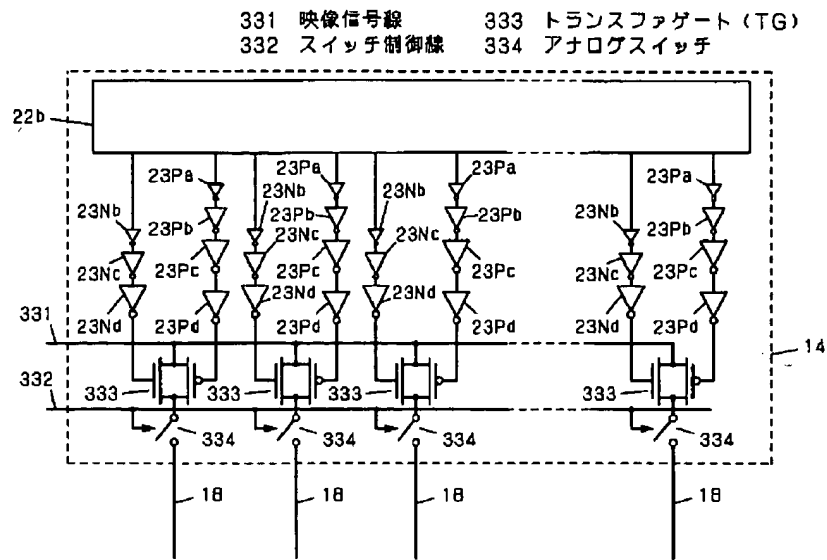
【図38】



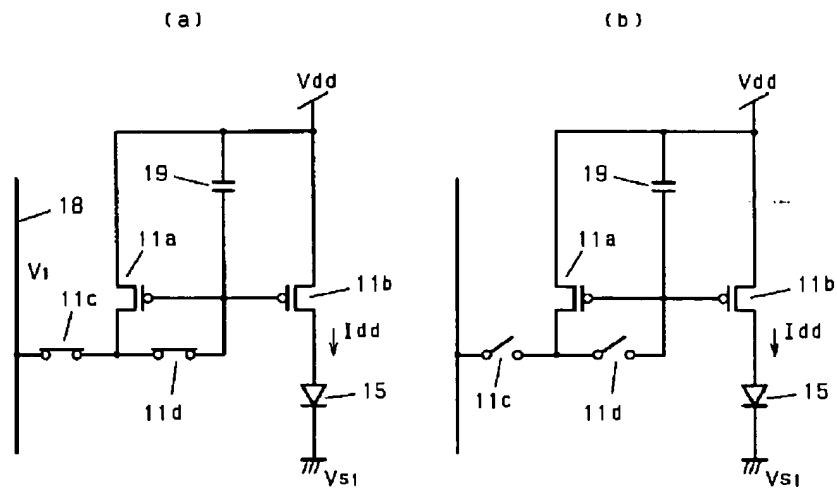
【図31】

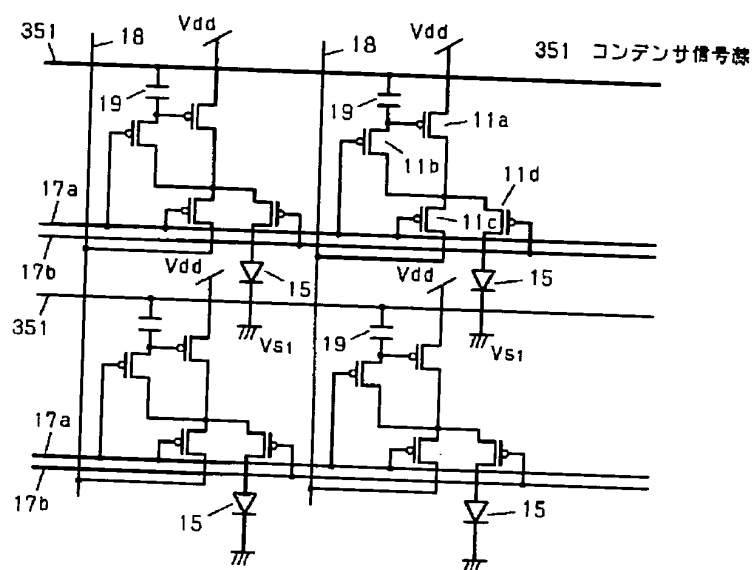


【図33】

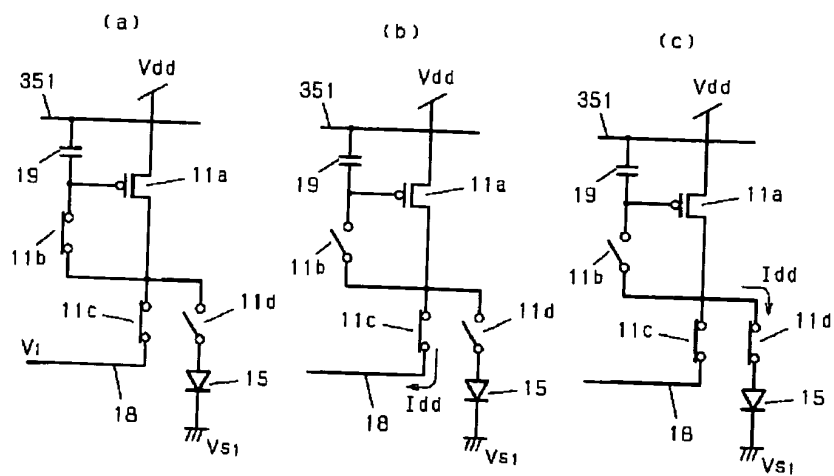


【図34】

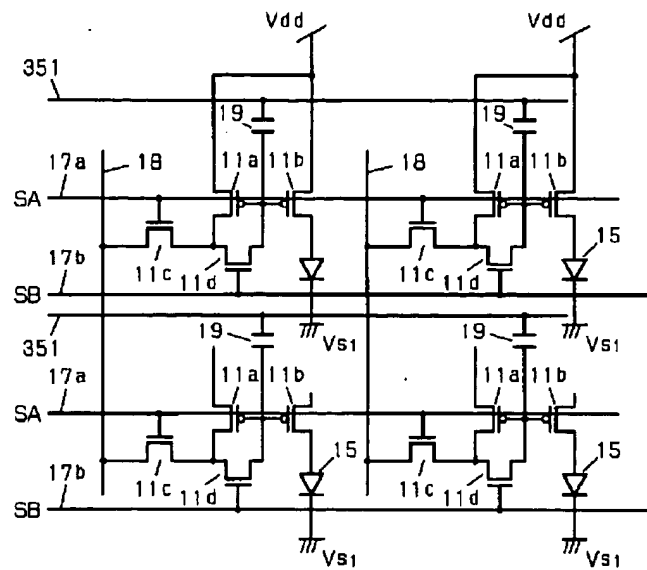




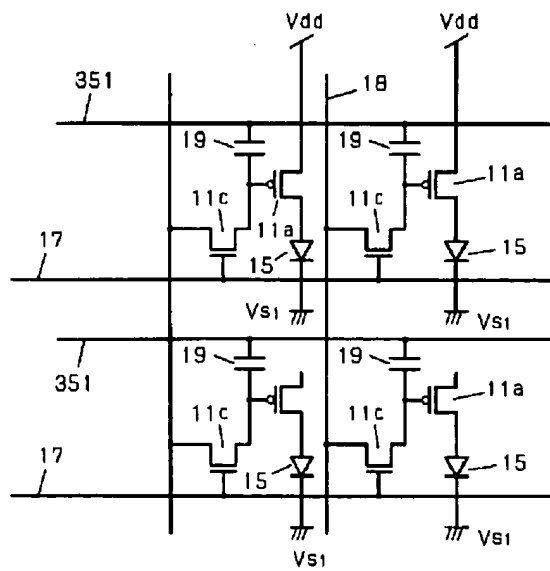
【図36】



【図37】



【図39】



フロントページの続き

(51)Int. Cl.⁷

G09G 3/20

3/30

H05B 33/14

識別記号

624

670

FI

G09G 3/20

3/30

H05B 33/14

テームド (参考)

624B

670Q

J

A

(42) 2003-66865 (P2003-668PJL

(72)発明者 柘植 仁志

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 2G036 AA19 AA27 BA32 BB12
3K007 AB00 AB04 AB05 AB13 AB18
BA06 BB05 CA01 CA02 CA05
CB01 DA00 DB03 EB00 FA01
FA02
5C080 AA06 BB05 DD15 DD25 FF11
JJ02 JJ03 JJ06 KK47
5C094 AA02 AA10 AA15 AA22 AA44
BA03 BA29 CA19 CA24 DA14
DA15 DB01 DB04 EA03 EA04
EA07
5G435 AA00 AA01 AA03 AA17 AA18
BB05 CC09 CC12 EE33 KK05